

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLN. OF: OYU et al.
SERIAL NO.: 10/730,852
FILED: December 9, 2003
FOR: Semiconductor Memory Device with Less Threshold Variation
DOCKET: ELPIDA 03USFP943

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Dear Sir:

Submitted herewith is the certified copy of Japanese Patent Application No. 2002-357789
in support of Applicants' priority claim under 35 USC 119.

Respectfully submitted,

Norman P. Soloway
Attorney for Applicants
Registration No. 24,315

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to: Commissioner of Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on January 2, 2004 at Tucson, Arizona.

By:

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

日本国特許庁
JAPAN PATENT OFFICE

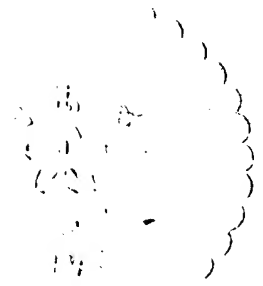
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月10日
Date of Application:

出願番号 特願2002-357789
Application Number:
[ST. 10/C]: [JP2002-357789]

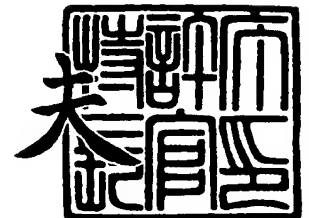
出願人 エルピーダメモリ株式会社
Applicant(s):



2003年12月12日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3103371

【書類名】 特許願

【整理番号】 22310223

【提出日】 平成14年12月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明者】

 【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社
 会社内

 【氏名】 大湯 静憲

【発明者】

 【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社
 会社内

 【氏名】 荻島 淳史

【特許出願人】

 【識別番号】 500174247

 【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

 【識別番号】 100102864

 【弁理士】

 【氏名又は名称】 工藤 実

【選任した代理人】

 【識別番号】 100099553

 【弁理士】

 【氏名又は名称】 大村 雅生

【手数料の表示】

 【予納台帳番号】 053213

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114854

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に形成されたゲート電極とを具備し、
前記ゲート電極のゲート長は、最小加工寸法よりも長い
半導体記憶装置。

【請求項 2】 請求項 1 に記載の半導体記憶装置において、
更に、

前記半導体基板の表面部に形成され、ソースとドレインとの一方として働く第
1 拡散層と、

前記半導体基板の表面部に形成され、前記ソースと前記ドレインとの他方とし
て働く第 2 拡散層とを具備し、

前記第 1 拡散層と前記第 2 拡散層との最短距離は、前記ゲート長に比例する
半導体記憶装置。

【請求項 3】 請求項 2 に記載の半導体記憶装置において、
更に、

前記半導体基板上に形成され、前記第 1 拡散層と前記第 2 拡散層に渡って延び
るゲート絶縁膜を具備し、

前記ゲート電極は前記ゲート絶縁膜上に形成された
半導体記憶装置。

【請求項 4】 請求項 2 又は 3 に記載の半導体記憶装置において、
更に、

前記ゲート電極を覆う第 1 絶縁膜と、

前記第 1 絶縁膜中に形成され、前記第 1 絶縁膜の表面から前記第 1 拡散層に延
びる第 1 コンタクト部と、

前記第 1 絶縁膜上に形成されたビット線と、

前記第 1 絶縁膜中に形成され、前記ビット線から前記第 2 拡散層に延びる第 2
コンタクト部と、

前記第 1 絶縁膜上に形成され、前記第 1 コンタクト部と接続される容量部とを具備する

半導体記憶装置。

【請求項 5】 請求項 4 に記載の半導体記憶装置において、

前記第 1 コンタクト部と前記容量部とを接合するための前記第 1 コンタクト部の接合端面の辺又は径は、前記最小加工寸法であり、

前記第 2 コンタクト部と前記ビット線とを接合するための前記第 2 コンタクト部の接合端面の辺又は径は、前記最小加工寸法である

半導体記憶装置。

【請求項 6】 請求項 5 に記載の半導体記憶装置において、

更に、

前記第 1 絶縁膜と前記第 1 コンタクト部と前記第 2 コンタクト部と前記ビット線とを覆う第 2 絶縁膜と、前記第 2 絶縁膜上には前記容量部が形成され、前記容量部は、下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有し、

前記第 2 絶縁膜中に形成され、前記下部電極から前記第 1 コンタクト部の接合端面まで延びる第 3 コンタクト部とを具備する

半導体記憶装置。

【請求項 7】 請求項 1 ～ 6 のいずれか一項に記載の半導体記憶装置において、

前記半導体基板に使用される不純物の濃度は、前記ゲート電極のゲート長が前記最小加工寸法であるときに前記半導体基板に使用される前記不純物の濃度よりも低い

半導体記憶装置。

【請求項 8】 請求項 1 ～ 7 のいずれか一項に記載の半導体記憶装置において、

前記ゲート電極のゲート長は、前記最小加工寸法の 1.3 倍以上である

半導体記憶装置。

【請求項 9】 半導体基板の第 1 表面部に形成された第 1 MOS トランジスタと

、
前記半導体基板の第 2 表面部に形成された第 2 MOS トランジスタとを具備し

前記第1 MOS トランジスタは、第1 ゲート電極を備え、
前記第2 MOS トランジスタは、第2 ゲート電極を備え、
前記第1 ゲート電極のゲート長と前記第2 ゲート電極のゲート長は、最小加工寸法よりも長い
半導体記憶装置。

【請求項10】 請求項9に記載の半導体記憶装置において、
前記第1 MOS トランジスタは、
ソースとドレインとの一方として働く第1 拡散層と、
前記ソースと前記ドレインとの他方として働く第2 拡散層とを更に備え、
前記第2 MOS トランジスタは、
前記ソースと前記ドレインとの一方として働く第3 拡散層と、
前記ソースと前記ドレインとの他方として働く前記第2 拡散層とを更に備え、
前記第1 MOS トランジスタと前記第2 MOS トランジスタは、前記第2 拡散層を共有し、

前記第1 拡散層と前記第2 拡散層との最短距離は、前記第1 ゲート電極のゲート長に比例し、

前記第3 拡散層と前記第2 拡散層との最短距離は、前記第2 ゲート電極のゲート長に比例する

半導体記憶装置。

【請求項11】 請求項10に記載の半導体記憶装置において、
前記第1 MOS トランジスタは、前記第1 拡散層と前記第2 拡散層に渡って延びる第1 ゲート絶縁膜を更に備え、

前記第2 MOS トランジスタは、前記第3 拡散層と前記第2 拡散層に渡って延びる第2 ゲート絶縁膜を更に備え、

前記第1 ゲート電極は前記第1 ゲート絶縁膜上に形成され、

前記第2 ゲート電極は前記第1 ゲート絶縁膜上に形成された

半導体記憶装置。

【請求項12】 請求項10又は11に記載の半導体記憶装置において、

更に、

前記第 1 ゲート電極と前記第 2 ゲート電極とを覆う第 1 絶縁膜と、

前記第 1 絶縁膜中に形成され、前記第 1 絶縁膜の表面から前記第 1 拡散層に延びる第 1 コンタクト部と、

前記第 1 絶縁膜上に形成されたビット線と、

前記第 1 絶縁膜中に形成され、前記ビット線から前記第 2 拡散層に延びる第 2 コンタクト部と、

前記第 1 絶縁膜中に形成され、前記第 1 絶縁膜の表面から前記第 3 拡散層に延びる第 3 コンタクト部と、

前記第 1 絶縁膜上に形成され、前記第 1 コンタクト部と接続される第 1 容量部と、

前記第 1 絶縁膜上に形成され、前記第 3 コンタクト部と接続される第 2 容量部とを具備する

半導体記憶装置。

【請求項 13】 請求項 12 に記載の半導体記憶装置において、

前記第 1 コンタクト部と前記第 1 容量部とを接合するための前記第 1 コンタクト部の接合端面の辺又は径は、前記最小加工寸法であり、

前記第 2 コンタクト部と前記ビット線とを接合するための前記第 2 コンタクト部の接合端面の辺又は径は、前記最小加工寸法であり、

前記第 3 コンタクト部と前記第 2 容量部とを接合するための前記第 3 コンタクト部の接合端面の辺又は径は、前記最小加工寸法である

半導体記憶装置。

【請求項 14】 請求項 13 に記載の半導体記憶装置において、

更に、

前記第 1 絶縁膜と前記第 1 コンタクト部と前記第 2 コンタクト部と前記第 3 コンタクト部と前記ビット線とを覆う第 2 絶縁膜と、前記第 2 絶縁膜上には前記第 1 容量部と前記第 2 容量部とが形成され、前記第 1 容量部と前記第 2 容量部は、下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有し、

前記第 2 絶縁膜中に形成され、前記第 1 容量部の下部電極から前記第 1 コンタクト部の接合端面まで延びる第 4 コンタクト部と、

前記第 2 絶縁膜中に形成され、前記第 2 容量部の下部電極から前記第 3 コンタクト部の接合端面まで延びる第 5 コンタクト部とを具備する

半導体記憶装置。

【請求項 15】 請求項 9～14 のいずれか一項に記載の半導体記憶装置において、

前記第 1 ゲート電極と前記第 2 ゲート電極とのゲート間隔は、前記最小加工寸法である

半導体記憶装置。

【請求項 16】 請求項 9～15 のいずれか一項に記載の半導体記憶装置において、

前記半導体基板に使用される不純物の濃度は、前記第 1 ゲート電極のゲート長と前記第 2 ゲート電極のゲート長とが前記最小加工寸法であるときに前記半導体基板に使用される前記不純物の濃度よりも低い

半導体記憶装置。

【請求項 17】 請求項 9～16 のいずれか一項に記載の半導体記憶装置において、

前記第 1 ゲート電極のゲート長と前記第 2 ゲート電極のゲート長は、前記最小加工寸法の 1.3 倍以上である

半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、DRAM (Dynamic Random Access Memory) に関する。

【0002】

【従来の技術】

半導体記憶装置である DRAM は、コンピュータで例示される機器の主記憶装

置として利用されている。近年では、リフレッシュ特性を向上させる半導体記憶装置（例えば、特許文献 1、2 参照）、微細化を図る半導体記憶装置（例えば、特許文献 3、4 参照）が開発されている。

【0003】

従来の半導体記憶装置を図 7 に示す。この図 7 は、従来の半導体記憶装置（DRAM）であるメモリセルトランジスタを示す平面図である。

拡散層領域である活性領域 102 の上には、容量コンタクト部 104 と容量コンタクト部 104' とが離れて接続されている。容量コンタクト部 104 の上にはセル容量部 106 が形成され、容量コンタクト部 104' の上にはセル容量部 106' が形成されている。

活性領域 102 の上には、ビット線に接続されたビット線コンタクト部 105 が接続されている。

活性領域 102 の上には、ゲート電極であるワード線 101 とワード線 101' とが離れて設けられている。ワード線 101 とワード線 101' は活性領域 102 に対して垂直方向に延びる。ワード線 101 は、容量コンタクト部 104 とビット線コンタクト部 105 との間に設けられ、ワード線 101' は、容量コンタクト部 104' とビット線コンタクト部 105 との間に設けられている。以下、ワード線 101 をゲート電極 101 とも称する。ワード線 101' をゲート電極 101' とも称する。

【0004】

従来のメモリセルトランジスタのレイアウトとして、最小加工寸法（ハーフピッチ）は F で表される。ハーフピッチ F は、図 7 に示されるように、複数の活性領域 102 のうちの 1 つの活性領域 102 の上に接続された容量コンタクト部 104' と、複数の活性領域 102 のうちの他の活性領域 102 の上に接続された容量コンタクト部 104 との最短距離である。

ゲート電極 101 とゲート電極 101' との間隔を表すゲート間隔は F である。容量コンタクト部 104、104' と、セル容量部 106、106'（セル容量部 106、106' に接続されたコンタクト部 119、119'）とを接合するための容量コンタクト部 104、104' の接合端面の形状は、四角又は円（

図示しない)であり、その接合端面の辺又は径(図示しない)は、Fである。ビット線コンタクト部105とビット線(後述のビット線120)とを接合するためのビット線コンタクト部105の接合端面の形状は、四角又は円(図示しない)であり、その接合端面の辺又は径(図示しない)は、Fである。

ワード線101、101'の幅(ゲート電極101、101'の幅を示すゲート長)は、F又はF以下である。

【0005】

図8は、図7のB-B'断面図である。

半導体基板110の表面部には、拡散層111と拡散層111'と拡散層112とが離れて形成されている。半導体基板110はp型であり、拡散層111、111'、112はn型である。半導体基板110と拡散層111、111'、112とは上記の活性領域102を形成する。

半導体基板110の表面部と拡散層111の表面上には、浅溝素子分離用絶縁膜113'が形成されている。半導体基板110の表面部と拡散層111'の表面上には、浅溝素子分離用絶縁膜113が形成されている。浅溝素子分離用絶縁膜113、113'は、隣り合う活性領域102と電氣的に絶縁するものである。半導体基板110上には、拡散層111と拡散層112とに渡って延びるゲート酸化膜114と、拡散層111'と拡散層112とに渡って延びるゲート酸化膜114'が形成されている。

ゲート酸化膜114の表面上には、ゲート電極101が形成され、ゲート酸化膜114'の表面上には、ゲート電極101'が形成されている。浅溝素子分離用絶縁膜113の表面上には、ゲート電極101が形成され、浅溝素子分離用絶縁膜113'の表面上には、ゲート電極101'が形成されている。

【0006】

ゲート電極101、101'と浅溝素子分離用絶縁膜113、113'とゲート酸化膜114、114'との表面上には、ゲート電極101、101'と浅溝素子分離用絶縁膜113、113'とゲート酸化膜114、114'とを覆う窒化膜115が形成されている。浅溝素子分離用絶縁膜113、113'と窒化膜115との表面上には、浅溝素子分離用絶縁膜113、113'と窒化膜115

とを覆う層間絶縁膜 116 が形成されている。

拡散層 111 の表面上には、拡散層 111 の表面から層間絶縁膜 116 の表面にまで上方方向に延びる容量コンタクト部 104 が形成されている。拡散層 111' の表面上には、拡散層 111' の表面から層間絶縁膜 116 の表面にまで上方方向に延びる容量コンタクト部 104' が形成されている。拡散層 112 の表面上には、拡散層 112 の表面から層間絶縁膜 116 の表面にまで上方方向に延びるビット線コンタクト部 105 が形成されている。

【0007】

これにより、従来のメモリセルトランジスタは、半導体基板 110 の第 1 表面部に第 1 MOS (Metal Oxide Semiconductor) トランジスタと、半導体基板 110 の第 2 表面部に第 2 MOS トランジスタとが形成される。すなわち、その第 1 MOS トランジスタは、半導体基板 110 と、拡散層 111 と、容量コンタクト部 104 と、拡散層 112 と、ビット線コンタクト部 105 と、ゲート絶縁膜 114 と、ゲート電極 101 とを具備する。その第 2 MOS トランジスタは、半導体基板 110 と、拡散層 111' と、容量コンタクト部 104' と、拡散層 112 と、ビット線コンタクト部 105 と、ゲート絶縁膜 114 と、ゲート電極 101' とを具備する。従来のメモリセルトランジスタの第 1 MOS トランジスタと第 2 MOS トランジスタは、拡散層 112 とビット線コンタクト部 105 とを共有する。

第 1 MOS トランジスタの拡散層 111 は、ソースとドレインとの一方として働き、その容量コンタクト部 104 は、ソース電極とドレイン電極との一方として働く。第 1 MOS トランジスタの拡散層 112 は、ソースとドレインとの他方として働き、そのビット線コンタクト部 105 は、ソース電極とドレイン電極との他方として働く。

第 2 MOS トランジスタの拡散層 111' は、ソースとドレインとの一方として働き、その容量コンタクト部 104' は、ソース電極とドレイン電極との一方として働く。第 2 MOS トランジスタの拡散層 112 は、ソースとドレインとの他方として働き、そのビット線コンタクト部 105 は、ソース電極とドレイン電極との他方として働く。

【0008】

層間絶縁膜116と容量コンタクト部104、104'とビット線コンタクト部105との表面上には、層間絶縁膜116と容量コンタクト部104、104'とビット線コンタクト部105とを覆う層間絶縁膜117が形成されている。ビット線コンタクト部105の表面上には、ビット線コンタクト部105の表面から層間絶縁膜117の表面にまで上方方向に延びるビット線120が形成されている。

層間絶縁膜117とビット線120との表面上には、層間絶縁膜117とビット線120とを覆う層間絶縁膜118が形成されている。容量コンタクト部104の表面上には、容量コンタクト部104の表面（接合端面）から層間絶縁膜118の表面にまで上方方向に延びるコンタクト部119が形成されている。容量コンタクト部104'の表面上には、容量コンタクト部104'の表面（接合端面）から層間絶縁膜118の表面にまで上方方向に延びるコンタクト部119'が形成されている。

【0009】

コンタクト部119と層間絶縁膜118との表面上には、セル容量部下部電極121が形成されている。セル容量部下部電極121は、コンタクト部119と層間絶縁膜118とに接続された底面部121-1と、底面部121-1の端から上方方向に延びる側壁部121-2とを有する。コンタクト部119'と層間絶縁膜118との表面上には、セル容量部下部電極121'が形成されている。セル容量部下部電極121'は、コンタクト部119'と層間絶縁膜118とに接続された底面部121'-1と、底面部121'-1の端から上方方向に延びる側壁部121'-2とを有する。

セル容量部下部電極121、121'と層間絶縁膜118との表面上には、容量絶縁膜122が形成されている。容量絶縁膜122上には、セル容量部上部電極123が形成されている。これにより、容量コンタクト部104上には、コンタクト部119を介してセル容量部下部電極121と容量絶縁膜122とセル容量部上部電極123とで構成される上記のセル容量部106が形成され、容量コンタクト部104'上には、コンタクト部119'を介してセル容量部下部電極

121' と容量絶縁膜 122 とセル容量部上部電極 123 とで構成される上記のセル容量部 106' が形成されている。

【0010】

ワード線 101 は、図示しない外部装置の複数の端子のうちの第 1 ワード線端子に接続されている。ワード線 101' は、図示しない外部装置の複数の端子のうちの第 2 ワード線端子に接続されている。ビット線 120 は、図示しない外部装置の複数の端子のうちのビット線端子に接続されている。図示しない外部装置の複数の端子のうちの基準端子は、セル容量部上部電極 123 に接続されている。

ワード線 101 には、第 1 ワード線端子と基準端子との間の電位差（電位）が図示しない外部装置によって供給される。ワード線 101' には、第 2 ワード線端子と基準端子との間の電位差（電位）が図示しない外部装置によって供給される。ビット線 120 には、ビット線端子と基準端子との間の電位差（電位）が図示しない外部装置によって供給される。

【0011】

次に、従来のメモリセルトランジスタの動作として、セル容量部に、情報“0”、“1”のうちの情報“1”を書き込む場合について説明する。セル容量部としては、第 1 MOS トランジスタにコンタクト部 119 を介して接続されたセル容量部 106 を例にする。

ビット線 120 には情報“1”の電位が図示しない外部装置から供給される。このとき、ビット線コンタクト部 105 に接続された拡散層 112 の電位は情報“1”になる。情報“1”の電位を正電位 VDL とする。容量コンタクト部 104 に接続された拡散層 111 の電位は書き込みの直前で $VDL/2$ になっている。このため、第 1 MOS トランジスタを ON にするための電位が図示しない外部装置からゲート電極 101 に供給された場合、ビット線コンタクト部 105 に接続された拡散層 112 がドレインとなり、容量コンタクト部 104 に接続された拡散層 111 がソースになる。その結果、情報“1”がセル容量部 106 に書き込まれる。すなわち、セル容量部 106 のセル容量部上部電極 123 の電位が $VDL/2$ であるのに対して、セル容量部 106 のセル容量部下部電極 121 の電

位がV_{DL}になる。

一方、セル容量部106から情報“1”を読み出す場合、ビット線コンタクト部105に接続された拡散層112の電位は $V_{DL}/2$ で、容量コンタクト部104に接続された拡散層111の電位は V_{DL} である。このため、第1MOSトランジスタをONにするための電位が図示しない外部装置からゲート電極101に供給された場合、ビット線コンタクト部105に接続された拡散層112がソースとなり、容量コンタクト部104に接続された拡散層111がドレインになる。その結果、ビット線120の電位が変動し、ビット線120に接続された図示しない外部装置（図示しないセンスアンプ）により、情報“1”が読み出される。

【0012】

上述のようにセル容量部106（セル容量部106'）に情報“1”を書き込んだ後、第1MOSトランジスタ（第2MOSトランジスタ）をOFFにするための電位が図示しない外部装置からゲート電極101（ゲート電極101'）に供給されたときに、そのセル容量部106（セル容量部106'）が情報“1”を保持する状態を情報保持状態という。また、そのセル容量部106（セル容量部106'）に情報“1”を書き込んでから、その情報“1”が破壊されるまでの時間、すなわち、そのセル容量部106（セル容量部106'）が情報“1”を保持する時間を情報保持時間という。

n型の拡散層111、111'、112とp型の半導体基板110との間にはpn接合が形成されている。セル容量部106、106'に情報“1”を書き込んだ後、p型の半導体基板110に対してn型の拡散層111、111'、112の電位が V_{DL} であるため、pn接合部分には逆方向電圧が印加された状態になる。この状態でpn接合部分である半導体基板110と拡散層111、111'、112との境界面にリーク電流（接合リーク電流）が流れないような理想的な場合では、セル容量部106、106'に蓄えられた情報“1”は破壊されない。

しかし、通常、半導体基板110と拡散層111、111'、112との境界面に接合リーク電流が流れてしまうため、セル容量部106、106'の情報“

1”は徐々に減少していく。セル容量部106、106’のセル容量部下部電極121、121’の電位がV_{DL}から徐々に低下し、その電位がV_{DL}/2まで低下した場合、情報“1”は完全に破壊されてしまう。このセル容量部下部電極121、121’の電位の変化は、この接合リーク電流により決まっており、この接合リーク電流が大きければ大きいほど、セル容量部下部電極121、121’の電位は早く低下してしまう。このように、情報保持時間は、この接合リーク電流に左右される。したがって、この接合リーク電流が大きければ大きいほど、その分、情報保持時間が短くなる。このような場合、情報保持特性が悪いといえる。

一方、この接合リーク電流が小さければ小さいほど、その分、情報保持時間を長くすることができるため、情報保持特性が向上する。この接合リーク電流を小さくするためには、p n接合部分である半導体基板110と拡散層111、111’、112との境界面の電界（接合電界）を低減できることが求められている。

【0013】

近年では、携帯電話機を含む携帯用機器に用いられる半導体記憶装置であるDRAM (Dynamic Random Access Memory) において、消費電力の低減が求められている。DRAMの消費電力は、情報の書き込みから読み出しまでのリフレッシュサイクルによって決定される。すなわち、消費電力は、情報をDRAMに書き込むときと情報をDRAMから読み出すときに行われる充放電に使われる電力によって決定される。情報保持時間を長くすることができれば、充放電に使われる電力（消費電力）を低減することができる。

【0014】

しかしながら、ゲート電極101、101’のゲート長は、F又はF以下である。図7に示された構造で微細化を進めていくと、以下のような問題が生じる。

まず、第一に、メモリセルトランジスタのゲート長をFとして微細化を進めた場合、メモリセルトランジスタの閾値電圧V_{th}の低減を防止するために、半導体基板110に使用される不純物の濃度（半導体基板110の濃度）をそれよりも高くする必要があり、半導体基板110と拡散層111、111’、112と

の境界面の接合電界がそれよりも大きくなる。これによって、従来のメモリセルトランジスタにおける情報保持時間がそれよりも短くなってしまう。

第二に、ゲート電極 101、101' を加工したときの寸法のバラツキ（加工バラツキ）は、閾値電圧 V_{th} のバラツキの主要因となるため、ディスタープ不良が増加する。これを回避するために、半導体基板 110 の濃度をそれより高くする必要があるが、半導体基板 110 の濃度をそれより高くすると閾値電圧 V_{th} のバラツキが更に増加してしまう。また、半導体基板 110 の濃度を高くすると、閾値電圧 V_{th} のバラツキが大きくなるため、書き込み不足のビットが増加して、セル容量部 6、6' に十分に情報が書き込まれないような書き込み不良を発生させる。このように、ディスタープ不良と書き込み不良を同時に対策することが困難となり、結果的に素子動作ができなくなる。

【0015】

このような理由について以下に説明する。

【0016】

256MビットDRAMの場合、メモリセルトランジスタに要求される閾値電圧 V_{th} とそのバラツキは、図9に示されるようなものが要求される。図9の横軸Xは、メモリセルトランジスタの閾値電圧 V_{th} の平均値であり、図9の縦軸Yは、メモリセルトランジスタの閾値電圧 V_{th} のバラツキ（ V_{th} バラツキ） σ である。縦軸Yの閾値電圧 V_{th} のバラツキ σ は、ゲート電極 101、101' の加工バラツキと、ドーパント不純物濃度分布、ゲート酸化膜厚とによるものである。

【0017】

サブスレッショルド係数Sが与えられた時、256Mビット中の最小閾値電圧 V_{th} のトランジスタにおいて、高温（85℃程度）でチャネルリークによって情報破壊が生じる閾値線S1、S2を図9に示している。

閾値線S1は、サブスレッショルド係数Sが80 [mV/d e c] であるときの閾値線であり、関数 $Y1 = a \times X + b1$ で表される（a、b1は定数）。横軸（閾値電圧 V_{th} のバラツキ）Xと縦軸（閾値電圧 V_{th} の平均値）Yとで張られる平面座標は、閾値線S1により、閾値線S1で表される関数Y1以上の第1

領域と、閾値線 S 1 で表される関数 Y 1 より小さい第 2 領域とに区切られる。

閾値線 S 2 は、サブスレッショルド係数 S が 90 [mV/d e c] であるときの閾値線であり、関数 $Y 2 = a \times X + b 2$ で表される (a、b 2 は定数)。横軸 X と縦軸 Y とで張られる平面座標は、閾値線 S 2 により、閾値線 S 2 で表される関数 Y 2 以上の第 1 領域と、閾値線 S 2 で表される関数 Y 2 より小さい第 2 領域とに区切られる。

閾値線 S 1、S 2 により区切られた第 2 領域であれば、チャネルリークによる情報破壊は生じなく、閾値線 S 1、S 2 により区切られた第 1 領域であれば、チャネルリークによって情報破壊が生じてしまう。

【0018】

また、要求される情報の書き込みを保証する割合を示す書込率が与えられた時、256Mビット中の最大閾値電圧 V_{th} のトランジスタにおいて、書き込み不良が生じる閾値線 W 1、W 2、W 3 を図 9 に示している。

閾値線 W 1 は、書込率として 60% の書き込みを保証する閾値線であり、関数 $Y 1 1 = -c \times X + d 1 1$ で表される (c、d 1 1 は定数)。横軸 X と縦軸 Y とで張られる平面座標は、閾値線 W 1 により、閾値線 W 1 で表される関数 Y 1 1 以上の第 1 領域と、閾値線 W 1 で表される関数 Y 1 1 より小さい第 2 領域とに区切られる。

閾値線 W 2 は、書込率として 70% の書き込みを保証する閾値線であり、関数 $Y 1 2 = -c \times X + d 1 2$ で表される (c、d 1 2 は定数)。横軸 X と縦軸 Y とで張られる平面座標は、閾値線 W 2 により、閾値線 W 2 で表される関数 Y 1 2 以上の第 1 領域と、閾値線 W 2 で表される関数 Y 1 2 より小さい第 2 領域とに区切られる。

閾値線 W 3 は、書込率として 80% の書き込みを保証する閾値線であり、関数 $Y 1 3 = -c \times X + d 1 3$ で表される (c、d 1 3 は定数)。横軸 X と縦軸 Y とで張られる平面座標は、閾値線 W 3 により、閾値線 W 3 で表される関数 Y 1 3 以上の第 1 領域と、閾値線 W 3 で表される関数 Y 1 3 より小さい第 2 領域とに区切られる。

閾値線 W 1、W 2、W 3 により区切られた第 2 領域であれば、書き込み不良は

生じなく、閾値線W1、W2、W3により区切られた第1領域であれば、書き込み不良が生じてしまう。

【0019】

図9を用いて従来のメモリセルトランジスタの問題点について詳細に説明する。

【0020】

メモリセルトランジスタのゲート長Fを0.13 [μm]とした場合、図9中の○印で示すように、閾値電圧 V_{th} の平均値を1 [V]とすると、サブスレッショルド係数が90 [mV/dec]であり、閾値電圧 V_{th} のバラツキ σ は90 [mV]である。この場合、閾値線S2により区切られた第1領域であるためにチャネルリークによって情報破壊が生じるだけでなく、書き込みを保証する書込率を60%まで低下させた場合でも、閾値線W1により区切られた第1領域であるために書き込み不良が生じてしまう。すなわち、現状のプロセスでは解が得られなくなってしまうため、閾値電圧 V_{th} のバラツキの低減が必要になってくる。具体的には、75%の書き込みを保証し、かつ、チャネルリークによって情報破壊を防止するためには、閾値電圧 V_{th} のバラツキ σ が70 [mV]以下である必要がある。

【0021】

閾値電圧 V_{th} のバラツキの要因分析を実施した。ゲート電極101、101'を加工したときの寸法のバラツキ（加工バラツキ）が4 nmであるとすると、ゲート電極101、101'の加工バラツキによる閾値電圧 V_{th} のバラツキ σ が50 [mV]である。閾値電圧 V_{th} のバラツキ σ は全体の90 [mV]のうちの残りの40 [mV]分はドーパント不純物濃度分布、ゲート酸化膜厚による閾値電圧 V_{th} のバラツキによるものであった。

閾値電圧 V_{th} のバラツキを低減するには、半導体基板110の濃度をそれよりも高くしなければならない。半導体基板110の濃度を高くすることにより、半導体基板110と拡散層111、111'、112との境界面の接合電界が高くなってしまい、半導体基板110と拡散層111、111'、112との境界面に流れる接合リーク電流が大きくなる。この接合リーク電流が大きくなると、

そのメモリセルトランジスタの情報保持時間が短くなり、情報保持特性が悪くなってしまう（情報保持特性が向上しない）。

従来のメモリセルトランジスタでは、微細化を進めていくと、情報保持特性が向上しない上に、素子動作ができなくなる。

また、従来のメモリセルトランジスタでは、情報保持特性が向上しないため（情報保持時間が短いため）、情報をセル容量部 106、106' に書き込むときと情報をセル容量部 106、106' から読み出すときに行われる充放電に使われる電力（消費電力）が低減しない。

【0022】

【特許文献1】

特開 2000-236074 号公報

【特許文献2】

特開 2000-174225 号公報

【特許文献3】

特開平 10-189899 号公報

【特許文献4】

特開平 4-112569 号公報

【0023】

【発明が解決しようとする課題】

本発明の目的は、情報保持時間を長くすることにより、情報保持特性が向上する半導体記憶装置（メモリセルトランジスタ）を提供することにある。

本発明の他の目的は、消費電力を低減する半導体記憶装置（メモリセルトランジスタ）を提供することにある。

本発明の更に他の目的は、高速に動作する半導体記憶装置（メモリセルトランジスタ）を提供することにある。

【0024】

【課題を解決するための手段】

以下に、[発明の実施の形態] で使用する番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲] の記載と

〔発明の実施の形態〕の記載との対応関係を明らかにするために付加されたものであるが、〔特許請求の範囲〕に記載されている発明の技術的範囲の解釈に用いてはならない。

【0025】

本発明の半導体記憶装置は、半導体基板（10）と、半導体基板（10）上に形成されたゲート電極（1）とを具備する。

ゲート電極（1）のゲート長は、最小加工寸法（F）よりも長い。本発明では、ゲート電極（1）のゲート長を最小加工寸法（F）よりも長くしたことにより、閾値電圧 V_{th} 調整用の半導体基板（10）の濃度を従来のそれよりも低減することができ、半導体基板（10）と後述の拡散層（11、12）との境界面の接合電界を従来のそれよりも低減することができる。したがって、本発明では、半導体基板（10）と拡散層（11、12）との境界面に流れる接合リーク電流を従来のそれよりも小さくすることができ、後述の容量部（6）に情報を書き込んでから、その情報が破壊されるまでの時間、すなわち、その容量部（6）が情報を保持する時間である情報保持時間を、従来のそれよりも長くすることができ、情報保持特性が向上する。

【0026】

本発明の半導体記憶装置は、更に、上記の拡散層（11、12）である第1拡散層（11）と第2拡散層（12）とを具備する。第1拡散層（11）は、半導体基板（10）の表面部に形成され、ソースとドレインとの一方として働く。第2拡散層（12）は、半導体基板（10）の表面部に形成され、ソースとドレインとの他方として働く。

第1拡散層（11）と第2拡散層（12）との最短距離は、ゲート電極（1）のゲート長に比例する。

【0027】

本発明の半導体記憶装置は、更に、ゲート絶縁膜（14）を具備する。ゲート絶縁膜（14）は、半導体基板（10）上に形成され、第1拡散層（11）と第2拡散層（12）に渡って延びる。ゲート電極（1）はゲート絶縁膜（14）上に形成されている。

【0028】

本発明の半導体記憶装置は、更に、第1絶縁膜（15、16）と、第1コンタクト部（4）と、ビット線（20）と、第2コンタクト部（5）と、上記の容量部（6）とを具備する。ゲート電極（1）は、第1絶縁膜（15、16）に覆われている。第1コンタクト部（4）は、第1絶縁膜（15、16）中に形成され、第1絶縁膜（15、16）の表面から第1拡散層（11）に延びている。ビット線（20）は、第1絶縁膜（15、16）上に形成されている。第2コンタクト部（5）は、第1絶縁膜（15、16）中に形成され、ビット線（20）から第2拡散層（12）に延びている。容量部（6）は、第1絶縁膜（15、16）上に形成され、第1コンタクト部（4）と接続される。

【0029】

第1コンタクト部（4）と容量部（6）とを接合するための第1コンタクト部（4）の接合端面の辺又は径は、最小加工寸法（F）である。

第2コンタクト部（5）とビット線（20）とを接合するための第2コンタクト部（5）の接合端面の辺又は径は、最小加工寸法（F）である。

【0030】

本発明の半導体記憶装置は、更に、第2絶縁膜（17、18）と、第3コンタクト部（19）とを具備する。第1絶縁膜（15、16）と第1コンタクト部（4）と第2コンタクト部（5）とビット線（20）は、第2絶縁膜（17、18）に覆われている。第2絶縁膜（17、18）上には容量部（6）が形成されている。

容量部（6）は、下部電極（21）と、下部電極（21）上に形成された容量絶縁膜（22）と、容量絶縁膜（22）上に形成された上部電極（23）とを有する。

第3コンタクト部（19）は、第2絶縁膜（17、18）中に形成され、下部電極（21）から第1コンタクト部（4）の接合端面まで延びている。

【0031】

上述のように、半導体基板（10）に使用される不純物の濃度は、ゲート電極（1）のゲート長が最小加工寸法（F）であるときに半導体基板（10） {この

場合、従来の半導体記憶装置の半導体基板（100）に対応するに使用される不純物の濃度よりも低い。

【0032】

本発明では、上記の情報保持時間を従来のそれよりも長くするには、ゲート電極（1）のゲート長を、最小加工寸法（F）の1.3倍以上にすることが好ましい。

【0033】

本発明の半導体記憶装置は、半導体基板（10）の第1表面部に形成された第1MOSトランジスタと、半導体基板（10）の第2表面部に形成された第2MOSトランジスタとを具備する。第1MOSトランジスタは、第1ゲート電極（1）を備えている。第2MOSトランジスタは、第2ゲート電極（1'）を備えている。

第1ゲート電極（1）のゲート長と第2ゲート電極（1'）のゲート長は、最小加工寸法（F）よりも長い。本発明では、第1ゲート電極（1）のゲート長と第2ゲート電極（1'）のゲート長を最小加工寸法（F）よりも長くしたことにより、閾値電圧 V_{th} 調整用の半導体基板（10）の濃度を従来のそれよりも低減することができ、半導体基板（10）と後述の拡散層（11、11'、12）との境界面の接合電界を従来のそれよりも低減することができる。したがって、本発明では、半導体基板（10）と拡散層（11、11'、12）との境界面に流れる接合リーク電流を従来のそれよりも小さくすることができ、後述の第1容量部（6）、第2容量部（6'）に情報を書き込んでから、その情報が破壊されるまでの時間、すなわち、その第1容量部（6）、第2容量部（6'）が情報を保持する時間である情報保持時間を、従来のそれよりも長くすることができ、情報保持特性が向上する。

【0034】

第1MOSトランジスタは、ソースとドレインとの一方として働く第1拡散層（11）と、ソースとドレインとの他方として働く第2拡散層（12）とを更に備えている。第2MOSトランジスタは、ソースとドレインとの一方として働く第3拡散層（11'）と、ソースとドレインとの他方として働く第2拡散層（1

2)とを更に備えている。第1拡散層(11)、第2拡散層(12)、第3拡散層(11')は、上記の拡散層(11、11'、12)である。第1MOSトランジスタと第2MOSトランジスタは、第2拡散層(12)を共有する。

第1拡散層(11)と第2拡散層(12)との最短距離は、第1ゲート電極(1)のゲート長に比例し、第3拡散層(11')と第2拡散層(12)との最短距離は、第2ゲート電極(1')のゲート長に比例する。

【0035】

第1MOSトランジスタは、第1拡散層(11)と第2拡散層(12)に渡って延びる第1ゲート絶縁膜(14)を更に備えている。第2MOSトランジスタは、第3拡散層(11')と第2拡散層(12)に渡って延びる第2ゲート絶縁膜(14')を更に備えている。第1ゲート電極(1)は第1ゲート絶縁膜(14)上に形成されている。第2ゲート電極(1')は第1ゲート絶縁膜(14')上に形成されている。

【0036】

本発明の半導体記憶装置は、更に、第1絶縁膜(15、16)と、第1コンタクト部(4)と、ビット線(20)と、第2コンタクト部(5)と、第3コンタクト部(4')と、上記の第1容量部(6)と、上記の第2容量部(6')とを具備する。第1ゲート電極(1)と第2ゲート電極(1')は第1絶縁膜(15、16)に覆われている。第1コンタクト部(4)は、第1絶縁膜(15、16)中に形成され、第1絶縁膜(15、16)の表面から第1拡散層(11)に延びている。ビット線(20)は、第1絶縁膜(15、16)上に形成されている。第2コンタクト部(5)は、第1絶縁膜(15、16)中に形成され、ビット線(20)から第2拡散層(12)に延びている。第3コンタクト部(4')は、第1絶縁膜(15、16)中に形成され、第1絶縁膜(15、16)の表面から第3拡散層(11')に延びている。第1容量部(6)は、第1絶縁膜(15、16)上に形成され、第1コンタクト部(4)と接続される。第2容量部(6')は、第1絶縁膜(15、16)上に形成され、第3コンタクト部(4')と接続される。

【0037】

第1コンタクト部(4)と第1容量部(6)とを接合するための第1コンタクト部(4)の接合端面の辺又は径は、最小加工寸法(F)である。

第2コンタクト部(5)とビット線(20)とを接合するための第2コンタクト部(5)の接合端面の辺又は径は、最小加工寸法(F)である。

第3コンタクト部(4')と第2容量部(6')とを接合するための第3コンタクト部(4')の接合端面の辺又は径は、最小加工寸法(F)である。

【0038】

本発明の半導体記憶装置は、更に、第2絶縁膜(17、18)と、第4コンタクト部(19)と、第5コンタクト部(19')とを具備する。第1絶縁膜(15、16)と第1コンタクト部(4)と第2コンタクト部(5)と第3コンタクト部(4')とビット線(20)は第2絶縁膜(17、18)に覆われている。第2絶縁膜(17、18)上には第1容量部(6)と第2容量部(6')とが形成されている。

第1容量部(6)と第2容量部(6')は、下部電極(21、21')と、下部電極(21、21')上に形成された容量絶縁膜(22、22')と、容量絶縁膜(22、22')上に形成された上部電極(23、23')とを有する。

第4コンタクト部(19)は、第2絶縁膜(17、18)中に形成され、第1容量部(6)の下部電極(21)から第1コンタクト部(4)の接合端面まで延びている。

第5コンタクト部(19')は、第2絶縁膜(17、18)中に形成され、第2容量部(6')の下部電極(21')から第3コンタクト部(4')の接合端面まで延びている。

【0039】

第1ゲート電極(1)と第2ゲート電極(1')とのゲート間隔(3)は、最小加工寸法(F)である。

【0040】

上述のように、半導体基板(10)に使用される不純物の濃度は、第1ゲート電極(1)のゲート長と第2ゲート電極(1')のゲート長とが最小加工寸法(F)であるときに半導体基板(10) {この場合、従来の半導体記憶装置の半導

体基板（100）に対応するに使用される不純物の濃度よりも低い。

【0041】

本発明では、上記の情報保持時間を従来のそれよりも長くするには、第1ゲート電極（1）のゲート長と第2ゲート電極（1'）のゲート長とを、最小加工寸法（F）の1.3倍以上にすることが好ましい。

【0042】

【発明の実施の形態】

添付図面を参照して、本発明による半導体記憶装置（DRAM）の実施の形態を以下に説明する。

【0043】

図1は、本発明の半導体記憶装置であるメモリセルトランジスタを示す平面図である。

複数の拡散層領域（以下、活性領域2と称する）の上には、容量コンタクト部4と容量コンタクト部4'とが離れて接続されている。容量コンタクト部4の上にはセル容量部6が形成され、容量コンタクト部4'の上にはセル容量部6'が形成されている。

各活性領域2の上には、ビット線に接続されたビット線コンタクト部5が接続されている。

各活性領域2の上には、ゲート電極であるワード線1とワード線1'とが離れて設けられている。ワード線1とワード線1'は活性領域2に対して垂直方向に延びる。ワード線1は、容量コンタクト部4とビット線コンタクト部5との間に設けられ、ワード線1'は、容量コンタクト部4'とビット線コンタクト部5との間に設けられている。以下、ワード線1をゲート電極1とも称する。ワード線1'をゲート電極1'とも称する。

【0044】

本発明のメモリセルトランジスタのレイアウトとして、最小加工寸法（ハーフピッチ）はFで表される。ハーフピッチFは、例えば、図1に示されるように、複数の活性領域2のうちの1つの活性領域2と、複数の活性領域2のうちの他の活性領域2との最短距離である。

ゲート電極 1 とゲート電極 1' との間隔を表すゲート間隔は F である。容量コンタクト部 4、4' と、セル容量部 6、6' (セル容量部 6、6' に接続されたコンタクト部 19、19') とを接合するための容量コンタクト部 4、4' の接合端面の形状は、四角又は円 (図示しない) であり、その接合端面の辺又は径 (図示しない) は、F である。ビット線コンタクト部 5 とビット線 (後述のビット線 20) とを接合するためのビット線コンタクト部 5 の接合端面の形状は、四角又は円 (図示しない) であり、その接合端面の辺又は径 (図示しない) は、F である。

ワード線 1、1' の幅 (ゲート電極 1、1' の幅を示すゲート長) は、ハーフピッチ F よりも長く、ハーフピッチ F の 1.3 倍以上、すなわち、従来のメモリセルトランジスタのゲート電極 101、101' のゲート長 F の 1.3 倍以上 (1.3 F 以上) である。本発明のメモリセルトランジスタのレイアウトとして、具体的な数値については実施例で後述する。

【0045】

図 2 は、図 1 の A-A' 断面図である。

半導体基板 10 の表面部には、拡散層 11 と拡散層 11' と拡散層 12 とが離れて形成されている。半導体基板 10 は p 型であり、拡散層 11、11'、12 は n 型である。半導体基板 10 と拡散層 11、11'、12 とは上記の活性領域 2 を形成する。

半導体基板 10 の表面部と拡散層 11 の表面上には、浅溝素子分離用絶縁膜 13' が形成されている。半導体基板 10 の表面部と拡散層 11' の表面上には、浅溝素子分離用絶縁膜 13 が形成されている。浅溝素子分離用絶縁膜 13、13' は、隣り合う活性領域 2 と電氣的に絶縁するものである。半導体基板 10 上には、拡散層 11 と拡散層 12 とに渡って延びるゲート酸化膜 14 と、拡散層 11' と拡散層 12 とに渡って延びるゲート酸化膜 14' が形成されている。

【0046】

ゲート酸化膜 14 の表面上には、ゲート電極 1 が形成され、ゲート酸化膜 14' の表面上には、ゲート電極 1' が形成されている。浅溝素子分離用絶縁膜 13 の表面上には、ゲート電極 1 が形成され、浅溝素子分離用絶縁膜 13' の表面上

には、ゲート電極 1' が形成されている。

ここで、拡散層 11 と拡散層 12 との最短距離は、ゲート電極 1 のゲート長に比例し、従来のメモリセルトランジスタの拡散層 111 と拡散層 112 との最短距離よりも 1.3 倍以上長い。拡散層 11' と拡散層 12 との最短距離は、ゲート電極 1' のゲート長に比例し、従来のメモリセルトランジスタの拡散層 111' と拡散層 112 との最短距離よりも 1.3 倍以上長い。

【0047】

ゲート電極 1、1' と浅溝素子分離用絶縁膜 13、13' とゲート酸化膜 14、14' との表面上には、ゲート電極 1、1' と浅溝素子分離用絶縁膜 13、13' とゲート酸化膜 14、14' とを覆う窒化膜 15 が形成されている。浅溝素子分離用絶縁膜 13、13' と窒化膜 15 との表面上には、浅溝素子分離用絶縁膜 13、13' と窒化膜 15 とを覆う層間絶縁膜 16 が形成されている。

拡散層 11 の表面上には、拡散層 11 の表面から層間絶縁膜 16 の表面にまで上方方向に延びる容量コンタクト部 4 が形成されている。拡散層 11' の表面上には、拡散層 11' の表面から層間絶縁膜 16 の表面にまで上方方向に延びる容量コンタクト部 4' が形成されている。拡散層 12 の表面上には、拡散層 12 の表面から層間絶縁膜 16 の表面にまで上方方向に延びるビット線コンタクト部 5 が形成されている。

【0048】

これにより、本発明のメモリセルトランジスタは、半導体基板 10 の第 1 表面部に第 1 MOS トランジスタと、半導体基板 10 の第 2 表面部に第 2 MOS トランジスタとが形成される。すなわち、その第 1 MOS トランジスタは、半導体基板 10 と、拡散層 11 と、容量コンタクト部 4 と、拡散層 12 と、ビット線コンタクト部 5 と、ゲート絶縁膜 14 と、ゲート電極 1 とを具備する。その第 2 MOS トランジスタは、半導体基板 10 と、拡散層 11' と、容量コンタクト部 4' と、拡散層 12 と、ビット線コンタクト部 5 と、ゲート絶縁膜 14 と、ゲート電極 1' とを具備する。本発明のメモリセルトランジスタの第 1 MOS トランジスタと第 2 MOS トランジスタは、拡散層 12 とビット線コンタクト部 5 とを共有する。

第1MOSトランジスタの拡散層11は、ソースとドレインとの一方として働き、その容量コンタクト部4は、ソース電極とドレイン電極との一方として働く。第1MOSトランジスタの拡散層12は、ソースとドレインとの他方として働き、そのビット線コンタクト部5は、ソース電極とドレイン電極との他方として働く。

第2MOSトランジスタの拡散層11'は、ソースとドレインとの一方として働き、その容量コンタクト部4'は、ソース電極とドレイン電極との一方として働く。第2MOSトランジスタの拡散層12は、ソースとドレインとの他方として働き、そのビット線コンタクト部5は、ソース電極とドレイン電極との他方として働く。

【0049】

層間絶縁膜16と容量コンタクト部4、4'とビット線コンタクト部5との表面上には、層間絶縁膜16と容量コンタクト部4、4'とビット線コンタクト部5とを覆う層間絶縁膜17が形成されている。ビット線コンタクト部5の表面上には、ビット線コンタクト部5の表面から層間絶縁膜17の表面にまで上方方向に延びるビット線20が形成されている。

層間絶縁膜17とビット線20との表面上には、層間絶縁膜17とビット線20とを覆う層間絶縁膜18が形成されている。容量コンタクト部4の表面上には、容量コンタクト部4の表面（接合端面）から層間絶縁膜18の表面にまで上方方向に延びるコンタクト部19が形成されている。容量コンタクト部4'の表面上には、容量コンタクト部4'の表面（接合端面）から層間絶縁膜18の表面にまで上方方向に延びるコンタクト部19'が形成されている。

【0050】

コンタクト部19と層間絶縁膜18との表面上には、セル容量部下部電極21が形成されている。セル容量部下部電極21は、コンタクト部19と層間絶縁膜18とに接続された底面部21-1と、底面部21-1の端から上方方向に延びる側壁部21-2とを有する。コンタクト部19'と層間絶縁膜18との表面上には、セル容量部下部電極21'が形成されている。セル容量部下部電極21'は、コンタクト部19'と層間絶縁膜18とに接続された底面部21'-1と、

底面部 21'-1 の端から上方方向に延びる側壁部 21'-2 とを有する。

セル容量部下部電極 21、21' と層間絶縁膜 18 との表面上には、容量絶縁膜 22 が形成されている。容量絶縁膜 22 上には、セル容量部上部電極 23 が形成されている。

これにより、容量コンタクト部 4 上には、コンタクト部 19 を介してセル容量部下部電極 21 と容量絶縁膜 22 とセル容量部上部電極 23 とで構成される上記のセル容量部 6 が形成され、容量コンタクト部 4' 上には、コンタクト部 19' を介してセル容量部下部電極 21' と容量絶縁膜 22 とセル容量部上部電極 23 とで構成される上記のセル容量部 6' が形成されている。

【0051】

ワード線 1 は、図示しない外部装置の複数の端子のうちの第 1 ワード線端子に接続されている。ワード線 1' は、図示しない外部装置の複数の端子のうちの第 2 ワード線端子に接続されている。ビット線 20 は、図示しない外部装置の複数の端子のうちのビット線端子に接続されている。図示しない外部装置の複数の端子のうちの基準端子は、セル容量部上部電極 23 に接続されている。

ワード線 1 には、第 1 ワード線端子と基準端子との間の電位差（電位）が図示しない外部装置によって供給される。ワード線 1' には、第 2 ワード線端子と基準端子との間の電位差（電位）が図示しない外部装置によって供給される。ビット線 20 には、ビット線端子と基準端子との間の電位差（電位）が図示しない外部装置によって供給される。

【0052】

次に、本発明のメモリセルトランジスタの動作として、セル容量部に、情報“0”、“1”のうちの情報“1”を書き込む場合について説明する。セル容量部としては、第 1 MOS トランジスタにコンタクト部 19 を介して接続されたセル容量部 6 を例にする。

ビット線 20 には情報“1”の電位が図示しない外部装置から供給される。このとき、ビット線コンタクト部 5 に接続された拡散層 12 の電位は情報“1”になる。情報“1”の電位を正電位 VDL とする。容量コンタクト部 4 に接続された拡散層 11 の電位は書き込みの直前で VDL/2 になっている。このため、第

1 MOSトランジスタをONにするための電位が図示しない外部装置からゲート電極1に供給された場合、ビット線コンタクト部5に接続された拡散層12がドレインとなり、容量コンタクト部4に接続された拡散層11がソースになる。その結果、情報“1”がセル容量部6に書き込まれる。すなわち、セル容量部6のセル容量部上部電極23の電位が $V_{DL}/2$ であるのに対して、セル容量部6のセル容量部下部電極21の電位が V_{DL} になる。

一方、セル容量部6から情報“1”を読み出す場合、ビット線コンタクト部5に接続された拡散層12の電位は $V_{DL}/2$ で、容量コンタクト部4に接続された拡散層11の電位は V_{DL} である。このため、第1 MOSトランジスタをONにするための電位が図示しない外部装置からゲート電極1に供給された場合、ビット線コンタクト部5に接続された拡散層12がソースとなり、容量コンタクト部4に接続された拡散層11がドレインになる。その結果、ビット線20の電位が変動し、ビット線20に接続された図示しない外部装置（図示しないセンスアンプ）により、情報“1”が読み出される。

【0053】

上述のようにセル容量部6（セル容量部6'）に情報“1”を書き込んだ後、第1 MOSトランジスタ（第2 MOSトランジスタ）をOFFにするための電位が図示しない外部装置からゲート電極1（ゲート電極1'）に供給されたときに、そのセル容量部6（セル容量部6'）が情報“1”を保持する状態を情報保持状態という。また、そのセル容量部6（セル容量部6'）に情報“1”を書き込んでから、その情報“1”が破壊されるまでの時間、すなわち、そのセル容量部6（セル容量部6'）が情報“1”を保持する時間を情報保持時間という。

n型の拡散層11、11'、12とp型の半導体基板10の間にはpn接合が形成されている。セル容量部6、6'に情報“1”を書き込んだ後、p型の半導体基板10に対してn型の拡散層11、11'、12の電位が V_{DL} であるため、pn接合部分には逆方向電圧が印加された状態になる。この状態でpn接合部分である半導体基板10と拡散層11、11'、12との境界面にリーク電流（接合リーク電流）が流れないような理想的な場合では、セル容量部6、6'に蓄えられた情報“1”は破壊されない。

しかし、通常、半導体基板 10 と拡散層 11、11'、12 との境界面に接合リーク電流が流れてしまうため、セル容量部 6、6' の情報“1”は徐々に減少していく。セル容量部 6、6' のセル容量部下部電極 21、21' の電位が VDL から徐々に低下し、その電位が $VDL/2$ まで低下した場合、情報“1”は完全に破壊されてしまう。このセル容量部下部電極 21、21' の電位の変化は、この接合リーク電流により決まっており、この接合リーク電流が大きければ大きいほど、セル容量部下部電極 21、21' の電位は早く低下してしまう。このように、情報保持時間は、この接合リーク電流に左右される。したがって、この接合リーク電流が大きければ大きいほど、その分、情報保持時間が短くなる。このような場合、情報保持特性が悪いといえる。

一方、この接合リーク電流が小さければ小さいほど、その分、情報保持時間を長くすることができるため、情報保持特性が向上する。この接合リーク電流を小さくするためには、pn 接合部分である半導体基板 10 と拡散層 11、11'、12 との境界面の電界（接合電界）を低減できることが求められる。

【0054】

（実施例 1）

実施例 1 のメモリセルトランジスタのレイアウトとして、ゲート電極 1、1' のゲート長は、ハーフピッチ F の 1.3 倍、すなわち、従来のメモリセルトランジスタのゲート電極 101、101' のゲート長 F の 1.3 倍である $1.3F$ である。図 1 に示された最小加工寸法であるハーフピッチ F を $0.13 [\mu m]$ とした。ゲート電極 1、1' の加工前のレジスト寸法を $0.145 [\mu m]$ とした場合、ゲート電極 1、1' を加工する時のサイドエッチ分による縮小を行い、ゲート電極 1、1' の加工後にゲート電極 1、1' 側壁の熱酸化を行なった結果、本実施例 1 の実効的なゲート電極 1、1' のゲート長は、 $0.17 [\mu m]$ となった。

【0055】

実施例 1 のメモリセルトランジスタの他のレイアウトとしては、以下のようにした。

まず、ゲート電極 1 とゲート電極 1' との間隔を表すゲート間隔については、

不必要な面積増加を防止するために、Fとした。容量コンタクト部4、4'と、セル容量部6、6'に接続されたコンタクト部19、19'とを接合するための容量コンタクト部4、4'の接合端面の辺又は径についても、不必要な面積増加を防止するために、Fとした。ビット線コンタクト部5とビット線20とを接合するためのビット線コンタクト部5の接合端面の辺又は径についても、不必要な面積増加を防止するために、Fとした。

活性領域2については、ゲート電極1、1'のゲート長を従来のメモリセルトランジスタのゲート電極101、101'のゲート長よりも1.3倍長くした分だけ、従来のメモリセルトランジスタの活性領域102よりも長手方向に長くした。すなわち、拡散層11と拡散層12との最短距離は、ゲート電極1のゲート長に比例して、従来のメモリセルトランジスタの拡散層111と拡散層112との最短距離よりも1.3倍長くなる。拡散層11'と拡散層12との最短距離は、ゲート電極1'のゲート長に比例して、従来のメモリセルトランジスタの拡散層111'と拡散層112との最短距離よりも1.3倍長くなる。

このように、実施例1のメモリセルトランジスタでは、1セル当たりの面積が増加する。この面積が増加する分、実施例1のメモリセルトランジスタでは、セル容量部6、6'の面積を従来のメモリセルトランジスタのセル容量部106、106'よりも増加することができる。

【0056】

次に、実施例1のメモリセルトランジスタについて図3、図4を用いて詳細に説明する。

【0057】

図3は、従来及び本発明のメモリセルトランジスタのゲート電極のゲート長と、従来及び本発明のメモリセルトランジスタの閾値電圧 V_{th} との関係を示す。ここで、従来のメモリセルトランジスタにおいて、ゲート長がFであるゲート電極101、101'を用いて、閾値電圧 V_{th} を1[V]に調整したときの、半導体基板110に使用される不純物の濃度（基板濃度）を1とする。実施例1のメモリセルトランジスタにおいて、ゲート長が1.3Fであるゲート電極1、1'を用いて、閾値電圧 V_{th} を1[V]に調整したときの、半導体基板10に使

用される不純物の濃度（基板濃度）は 0.9 である。すなわち、半導体基板 10 の濃度は半導体基板 110 の濃度より 10% 低くなっている。

【0058】

このため、実施例 1 のゲート電極 1、1' を加工したときの寸法のバラツキ（加工バラツキ）が、従来のゲート電極 101、101' の加工バラツキと同じ 4 nm であるとする、従来のゲート電極 101、101' の加工バラツキによる閾値電圧 V_{th} のバラツキ σ が 50 [mV] であるのに対して、実施例 1 のゲート電極 1、1' の加工バラツキによる閾値電圧 V_{th} のバラツキ σ が 25 [mV] まで低減できた。

【0059】

図 4 は、半導体基板 10 の濃度に半導体基板 110 の濃度で除算したときの基板の濃度比を表す相対基板濃度と、メモリセルトランジスタの閾値電圧 V_{th} のバラツキ（ V_{th} バラツキ）との関係を示す。縦軸の閾値電圧 V_{th} のバラツキ σ は、ゲート電極の加工バラツキと、ドーパント不純物濃度分布、ゲート酸化膜厚とによるものである。閾値電圧 V_{th} のバラツキ σ は、図 4 に示すように相対基板濃度とほぼ比例する。このため、半導体基板 10 の濃度を半導体基板 110 の濃度よりも 10% 低くすることで、実施例 1 のメモリセルトランジスタにおける閾値電圧 V_{th} のバラツキ σ は、従来のメモリセルトランジスタにおける閾値電圧 V_{th} のバラツキ σ よりも 5 [mV] 低減できる。

【0060】

その結果、従来のメモリセルトランジスタでは、ゲート電極 101、101' の加工バラツキとドーパント不純物濃度分布、ゲート酸化膜厚とによる閾値電圧 V_{th} のバラツキ σ が、全体で 90 [mV] であるのに対して、実施例 1 のメモリセルトランジスタでは、ゲート電極 1、1' の加工バラツキとドーパント不純物濃度分布、ゲート酸化膜厚とによる閾値電圧 V_{th} のバラツキ σ が、全体で 60 [mV] まで低減できた。

【0061】

このように、75% の書き込みを保証し、かつ、チャネルリークによって情報破壊を防止するためには、閾値電圧 V_{th} のバラツキ σ を全体で 70 [mV] 以

下にする必要があり、これを達成するためにはゲート長を $1.3F$ 以上にする必要がある、ということがわかる。

実施例 1 のメモリセルトランジスタでは、ゲート電極 1、1' のゲート長を $1.3F$ にしたことにより、閾値電圧 V_{th} のバラツキ σ を全体で 60 [mV] まで低減（従来のメモリセルトランジスタにおける閾値電圧 V_{th} のバラツキ σ よりも 30 [mV] 低減）すると共に、閾値電圧 V_{th} 調整用の半導体基板 10 の濃度を、従来のメモリセルトランジスタの半導体基板 110 の濃度よりも 10% 低減することができる。

したがって、実施例 1 のメモリセルトランジスタでは、ゲート電極 1、1' のゲート長を $1.3F$ にしたことにより、半導体基板 10 と拡散層 11、11'、12 との境界面の接合電界を、従来のメモリセルトランジスタにおける半導体基板 110 と拡散層 111、111'、112 との境界面の接合電界よりも低減することができる。

実施例 1 のメモリセルトランジスタでは、半導体基板 10 と拡散層 11、11'、12 との境界面の接合電界を低減することにより、半導体基板 10 と拡散層 11、11'、12 との境界面に流れる接合リーク電流を、従来のメモリセルトランジスタにおける半導体基板 110 と拡散層 111、111'、112 との境界面に流れる接合リーク電流よりも小さくすることができる。

実施例 1 のメモリセルトランジスタでは、この接合リーク電流を小さくすることにより、その情報保持時間を、従来のメモリセルトランジスタの情報保持時間よりも長くすることができ、情報保持特性が向上する。

このため、実施例 1 のメモリセルトランジスタは、情報保持時間を長くすることにより、情報をセル容量部 6、6' に書き込むときと情報をセル容量部 6、6' から読み出すときに行われる充放電に使われる電力（消費電力）を、従来のメモリセルトランジスタのそれよりも低減することができる。

【0062】

次に、実施例 1 のメモリセルトランジスタの効果として、情報保持特性の向上について検討結果（図 5、図 6）を用いて詳細に説明する。

【0063】

256MビットDRAMの場合、メモリセルトランジスタに要求される閾値電圧 V_{th} とそのバラツキは、図5に示されるようなものが要求される。図5は、従来及び本発明のメモリセルトランジスタの閾値電圧 V_{th} の平均値と、従来及び本発明のメモリセルトランジスタの閾値電圧 V_{th} のバラツキ（ V_{th} バラツキ）との関係を示す。図5の横軸Xは、メモリセルトランジスタの閾値電圧 V_{th} の平均値であり、図5の縦軸Yは、メモリセルトランジスタの閾値電圧 V_{th} のバラツキ（ V_{th} バラツキ） σ である。縦軸Yの閾値電圧 V_{th} のバラツキ σ は、ゲート電極の加工バラツキと、ドーパント不純物濃度分布、ゲート酸化膜厚とによるものである。

【0064】

サブスレッシュヨルド係数Sが与えられた時、256Mビット中の最小閾値電圧 V_{th} のトランジスタにおいて、高温（85℃程度）でチャネルリークによって情報破壊が生じる閾値線S1、S2を図5に示している。

閾値線S1は、サブスレッシュヨルド係数Sが80[mV/déc]であるときの閾値線であり、関数 $Y_1 = a \times X + b_1$ で表される（a、 b_1 は定数）。横軸（閾値電圧 V_{th} のバラツキ）Xと縦軸（閾値電圧 V_{th} の平均値）Yとで張られる平面座標は、閾値線S1により、閾値線S1で表される関数 Y_1 以上の第1領域と、閾値線S1で表される関数 Y_1 より小さい第2領域とに区切られる。

閾値線S2は、サブスレッシュヨルド係数Sが90[mV/déc]であるときの閾値線であり、関数 $Y_2 = a \times X + b_2$ で表される（a、 b_2 は定数）。横軸Xと縦軸Yとで張られる平面座標は、閾値線S2により、閾値線S2で表される関数 Y_2 以上の第1領域と、閾値線S2で表される関数 Y_2 より小さい第2領域とに区切られる。

閾値線S1、S2により区切られた第2領域であれば、チャネルリークによる情報破壊は生じなく、閾値線S1、S2により区切られた第1領域であれば、チャネルリークによって情報破壊が生じてしまう。

【0065】

また、要求される情報の書き込みを保証する割合を示す書込率が与えられた時、256Mビット中の最大閾値電圧 V_{th} のトランジスタにおいて、書き込み不

良が生じる閾値線W1、W2、W3を図5に示している。

閾値線W1は、書込率として60%の書き込みを保証する閾値線であり、関数 $Y11 = -c \times X + d11$ で表される（c、d11は定数）。横軸Xと縦軸Yとで張られる平面座標は、閾値線W1により、閾値線W1で表される関数Y11以上の第1領域と、閾値線W1で表される関数Y11より小さい第2領域とに区切られる。

閾値線W2は、書込率として70%の書き込みを保証する閾値線であり、関数 $Y12 = -c \times X + d12$ で表される（c、d12は定数）。横軸Xと縦軸Yとで張られる平面座標は、閾値線W2により、閾値線W2で表される関数Y12以上の第1領域と、閾値線W2で表される関数Y12より小さい第2領域とに区切られる。

閾値線W3は、書込率として80%の書き込みを保証する閾値線であり、関数 $Y13 = -c \times X + d13$ で表される（c、d13は定数）。横軸Xと縦軸Yとで張られる平面座標は、閾値線W3により、閾値線W3で表される関数Y13以上の第1領域と、閾値線W3で表される関数Y13より小さい第2領域とに区切られる。

閾値線W1、W2、W3により区切られた第2領域であれば、書き込み不良は生じなく、閾値線W1、W2、W3により区切られた第1領域であれば、書き込み不良が生じてしまう。

【0066】

実施例1では、閾値電圧 V_{th} のバラツキ σ を60[mV]まで低減できたことにより、図5中の●印で示すように、閾値電圧 V_{th} の平均値を0.95Vに設定することができる。このため、閾値電圧 V_{th} のバラツキ σ と閾値電圧 V_{th} の平均値とが、閾値線S1、S2により区切られた第2領域であると同時に閾値線W3により区切られた第2領域であり、実施例1のメモリセルトランジスタは、チャネルリークによる情報破壊および書き込み不良に対するマージンが確保できるようになり、80%以上の書き込みを保証することができる。

【0067】

図6は、規格化ゲート長と規格化情報保持時間との関係を示す。図6の横軸の

規格化ゲート長は、従来のメモリセルトランジスタのゲート電極 101、101' のゲート長である F で規格化されたゲート電極のゲート長である。F が 0.13 [μm] の場合、F のときの規格化ゲート長は 0.13 [μm] となり、2F のときの規格化ゲート長は 0.26 [μm] となる。図 6 の縦軸の規格化情報保持時間は、ゲート長が F であるときの情報保持時間（従来のメモリセルトランジスタの情報保持時間）で規格化された情報保持時間である。ゲート長が F（F = 0.13 [μm]）である場合の規格化情報保持時間を 1 とする。この場合、ゲート長が 2F（2F = 0.26 [μm]）であるときの規格化情報保持時間が 2 である。実際は、ゲート長が F である場合の情報保持時間が 200 ms であるとする、ゲート長が 2F であるときの情報保持時間は 400 ms となる。

上述のようにチャネルリークによる情報破壊および書き込み不良に対するマージンが確保できるようになった結果、図 6 に示されるように、従来のメモリセルトランジスタ（ゲート長 F）では、情報保持時間が 200 ms であるのに対して、実施例 1 のメモリセルトランジスタ（ゲート長 1.3F）では、情報保持時間がその 1.7 倍の 340 ms まで改善できた。

【0068】

このような情報保持時間のゲート長依存性は、F 値の異なるプロセスで DRAM を製作しても、1.3F 未満と 1.3F 以上とで異なる依存性を持つことが発明者の検討から見出された。

ゲート長が 1.3F 未満の場合では、従来のメモリセルトランジスタと同様に情報保持時間が短く、ゲート長の寸法のバラツキ（加工バラツキ）によって情報保持時間が大きく変動するため、安定な情報保持特性を得ることが困難になる。通常、情報保持時間の変動は、製品の歩留まり低下に影響する。

一方、ゲート長が 1.3F 以上の場合（本発明の場合）では、ゲート長が 1.3F 未満の場合に比べて、情報保持時間が長く、ゲート長の寸法のバラツキがあっても情報保持時間の変動を小さくできるため、安定な情報保持特性を得ることができる。本発明によれば情報保持特性が向上すると共に製品の歩留まりを安定に保つことができる。

【0069】

また、図6に示されるように、今後、微細化を進めた場合、ゲート長を $1.3F$ 以上にすることによりその効果が大きくなることがわかる。本発明のメモリセルトランジスタにおいてハーフピッチ F が $0.15[\mu m]$ の場合にゲート長を $1.3F$ にすると、本発明のメモリセルトランジスタの情報保持時間は、従来のメモリセルトランジスタの情報保持時間の 1.3 倍となるが、本発明のメモリセルトランジスタにおいてハーフピッチ F が $0.13[\mu m]$ の場合にゲート長を $1.3F$ にすると、本発明のメモリセルトランジスタの情報保持時間は、従来のメモリセルトランジスタの情報保持時間の 1.7 倍にできる。すなわち、 F 値をさらに小さくすれば、より効果的に情報保持時間を長くすることができる。このように、本発明によれば、微細化すればするほど特性改善の度合いが大きくなる。

【0070】

次に、実施例1のメモリセルトランジスタの効果として、メモリセルトランジスタの高速動作について詳細に説明する。なお、実施例1のメモリセルトランジスタでは、1セル当たりの面積が増加する分、セル容量部6、6'の面積を従来のメモリセルトランジスタのセル容量部106、106'よりも13%増加させている。

実施例1のメモリセルトランジスタでは、ゲート電極1、1'のゲート長を $1.3F$ に広げた（太くした）ことにより、ゲート電極1、1'（ワード線1、1'）の抵抗がゲート電極101、101'の抵抗よりも20%低減できた。

実施例1のメモリセルトランジスタでは、ゲート電極1、1'の抵抗がゲート電極101、101'の抵抗よりも20%低減したことにより、従来のメモリセルトランジスタよりも高速に動作する。

【0071】

以上の説明により、実施例1のメモリセルトランジスタによれば、その情報保持時間を従来のメモリセルトランジスタの情報保持時間よりも長くすることができるため、情報保持特性が向上する。

実施例1のメモリセルトランジスタによれば、その情報保持時間を長くすることにより、その消費電力を、従来のメモリセルトランジスタの消費電力よりも低

減することができる。

実施例 1 のメモリセルトランジスタによれば、従来のメモリセルトランジスタよりも高速に動作する。

【0072】

(実施例 2)

実施例 2 のメモリセルトランジスタのレイアウトとして、ゲート電極 1、1' のゲート長は、ハーフピッチ F の 2 倍、すなわち、従来のメモリセルトランジスタのゲート電極 101、101' のゲート長 F の 2 倍である 2F である。図 1 に示された最小加工寸法であるハーフピッチ F を $0.13 [\mu\text{m}]$ とした。ゲート電極 1、1' の加工前のレジスト寸法を $0.145 [\mu\text{m}]$ とした場合、ゲート電極 1、1' を加工する時のサイドエッチ分による縮小を行い、ゲート電極 1、1' の加工後にゲート電極 1、1' 側壁の熱酸化を行なった結果、本実施例 2 の実効的なゲート電極 1、1' のゲート長は、 $0.27 [\mu\text{m}]$ となった。

【0073】

実施例 2 のメモリセルトランジスタの他のレイアウトとしては、以下のようにした。

まず、ゲート電極 1 とゲート電極 1' との間隔を表すゲート間隔については、不必要な面積増加を防止するために、F とした。容量コンタクト部 4、4' と、セル容量部 6、6' に接続されたコンタクト部 19、19' とを接合するための容量コンタクト部 4、4' の接合端面の辺又は径についても、不必要な面積増加を防止するために、F とした。ビット線コンタクト部 5 とビット線 20 とを接合するためのビット線コンタクト部 5 の接合端面の辺又は径についても、不必要な面積増加を防止するために、F とした。

活性領域 2 については、ゲート電極 1、1' のゲート長を従来のメモリセルトランジスタのゲート電極 101、101' のゲート長よりもそれぞれ 2 倍長くした分だけ、従来のメモリセルトランジスタの活性領域 102 よりも長手方向に長くした。すなわち、拡散層 11 と拡散層 12 との最短距離は、ゲート電極 1 のゲート長に比例して、従来のメモリセルトランジスタの拡散層 111 と拡散層 112 との最短距離よりも 2 倍長くなる。拡散層 11' と拡散層 12 との最短距離は

、ゲート電極 1' のゲート長に比例して、従来のメモリセルトランジスタの拡散層 111' と拡散層 112 との最短距離よりも 2 倍長くなる。

このように、実施例 2 のメモリセルトランジスタでは、1 セル当たりの面積が増加する。この面積が増加する分、実施例 2 のメモリセルトランジスタでは、セル容量部 6、6' の面積を従来のメモリセルトランジスタのセル容量部 106、106' よりも増加することができる。

【0074】

次に、実施例 2 のメモリセルトランジスタについて図 3、図 4 を用いて詳細に説明する。

【0075】

図 3 に示されるように、従来のメモリセルトランジスタにおいて、ゲート長が F であるゲート電極 101、101' を用いて、閾値電圧 V_{th} を 1 [V] に調整したときの、半導体基板 110 に使用される不純物の濃度（半導体基板 110 の濃度）を 1 とする。実施例 2 のメモリセルトランジスタにおいて、ゲート長が $2F$ であるゲート電極 1、1' を用いて、閾値電圧 V_{th} を 1 [V] に調整したときの、半導体基板 10 に使用される不純物の濃度（半導体基板 110 の濃度）は 0.75 である。すなわち、半導体基板 10 の濃度は半導体基板 110 の濃度より 25% 低くなっている。

【0076】

このため、実施例 2 のゲート電極 1、1' を加工したときの寸法のバラツキ（加工バラツキ）が、従来のゲート電極 101、101' の加工バラツキと同じ 4 nm であるとする、従来のゲート電極 101、101' の加工バラツキによる閾値電圧 V_{th} のバラツキ σ が 50 [mV] であるのに対して、実施例 2 のゲート電極 1、1' の加工バラツキによる閾値電圧 V_{th} のバラツキ σ が 15 [mV] まで低減できた。

【0077】

図 4 に示されるように、閾値電圧 V_{th} のバラツキ σ は、相対基板濃度とほぼ比例するため、半導体基板 10 の濃度を半導体基板 110 の濃度よりも 25% 低くすることで、実施例 2 のメモリセルトランジスタにおける閾値電圧 V_{th} のバ

ラツキ σ は、従来のメモリセルトランジスタにおける閾値電圧 V_{th} のバラツキ σ よりも12[mV]低減できる。

【0078】

その結果、従来のメモリセルトランジスタでは、ゲート電極101、101'の加工バラツキとドーパント不純物濃度分布、ゲート酸化膜厚とによる閾値電圧 V_{th} のバラツキ σ が、全体で90[mV]であるのに対して、実施例2のメモリセルトランジスタでは、ゲート電極1、1'の加工バラツキとドーパント不純物濃度分布、ゲート酸化膜厚とによる閾値電圧 V_{th} のバラツキ σ が、全体で45[mV]まで低減できた。

【0079】

このように、実施例2のメモリセルトランジスタでは、ゲート電極1、1'のゲート長を2Fにしたことにより、閾値電圧 V_{th} のバラツキ σ を全体で45[mV]まで低減（従来のメモリセルトランジスタにおける閾値電圧 V_{th} のバラツキ σ よりも45[mV]低減）すると共に、閾値電圧 V_{th} 調整用の半導体基板10の濃度を、従来のメモリセルトランジスタの半導体基板110の濃度よりも25%低減することができる。

したがって、実施例2のメモリセルトランジスタでは、ゲート電極1、1'のゲート長を2Fにしたことにより、半導体基板10と拡散層11、11'、12との境界面の接合電界を、従来のメモリセルトランジスタにおける半導体基板110と拡散層111、111'、112との境界面の接合電界よりも低減することができる。

実施例2のメモリセルトランジスタでは、半導体基板10と拡散層11、11'、12との境界面の接合電界を低減することにより、半導体基板10と拡散層11、11'、12との境界面に流れる接合リーク電流を、従来のメモリセルトランジスタにおける半導体基板110と拡散層111、111'、112との境界面に流れる接合リーク電流よりも低減することができる。

実施例2のメモリセルトランジスタでは、この接合リーク電流を小さくすることにより、その情報保持時間を、従来のメモリセルトランジスタの情報保持時間よりも長くすることができる。したがって、実施例2のメモリセルトランジスタ

は、情報保持特性が向上する。

このため、実施例2のメモリセルトランジスタは、情報保持時間を長くすることにより、情報をセル容量部6、6'に書き込むときと情報をセル容量部6、6'から読み出すときに行われる充放電に使われる電力（消費電力）を、従来のメモリセルトランジスタのそれよりも低減することができる。

【0080】

次に、実施例2のメモリセルトランジスタの効果として、情報保持特性の向上について検討結果（図5、図6）を用いて詳細に説明する。

【0081】

256MビットDRAMの場合、メモリセルトランジスタに要求される閾値電圧 V_{th} とそのバラツキは、図5に示されるようなものが要求される。実施例2では、閾値電圧 V_{th} のバラツキ σ を45[mV]まで低減できたことにより、図5中の★印で示すように、閾値電圧 V_{th} の平均値を0.9Vに設定することができる。このため、閾値電圧 V_{th} のバラツキ σ と閾値電圧 V_{th} の平均値とが、閾値線S1、S2により区切られた第2領域であると同時に閾値線W3により区切られた第2領域であり、実施例2のメモリセルトランジスタは、チャネルリークによる情報破壊および書き込み不良に対するマージンが確保できるようになり、80%以上の書き込みを保証することができる。

【0082】

上述のようにチャネルリークによる情報破壊および書き込み不良に対するマージンが確保できるようになった結果、図6に示されるように、従来のメモリセルトランジスタ（ゲート長F）では、情報保持時間が200msであるのに対して、実施例2のメモリセルトランジスタ（ゲート長2F）では、情報保持時間がその1.7倍の340msまで改善できた。

【0083】

次に、実施例2のメモリセルトランジスタの効果として、メモリセルトランジスタの高速動作について詳細に説明する。なお、実施例2のメモリセルトランジスタでは、1セル当たりの面積が増加する分、セル容量部6、6'の面積を従来のメモリセルトランジスタのセル容量部106、106'よりも36%増加させ

ている。

実施例 2 のメモリセルトランジスタでは、ゲート電極 1、1' のゲート長を 2F に広げた（太くした）ことにより、ゲート電極 1、1'（ワード線 1、1'）の抵抗がゲート電極 101、101' の抵抗よりも 50% 低減できた。

実施例 2 のメモリセルトランジスタでは、ゲート電極 1、1' の抵抗が従来メモリセルトランジスタのゲート電極 101、101' の抵抗よりも 50% 低減したことにより、実施例 2 のメモリセルトランジスタは、従来メモリセルトランジスタよりも高速に動作する。

【0084】

以上の説明により、実施例 2 のメモリセルトランジスタによれば、その情報保持時間を、従来メモリセルトランジスタの情報保持時間、実施例 1 のメモリセルトランジスタの情報保持時間よりも長くすることができるため、情報保持特性が向上する。

実施例 2 のメモリセルトランジスタによれば、その情報保持時間を長くすることにより、その消費電力を、従来メモリセルトランジスタの消費電力、実施例 1 のメモリセルトランジスタの消費電力よりも低減することができる。

実施例 2 のメモリセルトランジスタによれば、従来メモリセルトランジスタ、実施例 1 のメモリセルトランジスタよりも高速に動作する。

【0085】

【発明の効果】

本発明の半導体記憶装置（メモリセルトランジスタ）は、情報保持時間を長くすることにより、情報保持特性が向上する。

本発明の半導体記憶装置（メモリセルトランジスタ）は、消費電力が低減する。

本発明の半導体記憶装置（メモリセルトランジスタ）は、高速に動作する。

【図面の簡単な説明】

【図 1】

図 1 は、本発明の半導体記憶装置であるメモリセルトランジスタを示す平面図である。

【図2】

図2は、図1のA-A'断面図である。

【図3】

図3は、従来及び本発明のメモリセルトランジスタのゲート電極のゲート長と、従来及び本発明のメモリセルトランジスタの閾値電圧 V_{th} との関係を示す。

【図4】

図4は、相対基板濃度と、メモリセルトランジスタの閾値電圧 V_{th} のバラツキ (V_{th} バラツキ) との関係を示す。

【図5】

図5は、従来及び本発明のメモリセルトランジスタの閾値電圧 V_{th} の平均値と、従来及び本発明のメモリセルトランジスタの閾値電圧 V_{th} のバラツキ (V_{th} バラツキ) との関係を示す。

【図6】

図6は、規格化ゲート長と規格化情報保持時間との関係を示す。

【図7】

図7は、従来の半導体記憶装置 (DRAM) であるメモリセルトランジスタを示す平面図である。

【図8】

図8は、図7のB-B'断面図である。

【図9】

図9は、従来のメモリセルトランジスタの閾値電圧 V_{th} の平均値と、従来のメモリセルトランジスタの閾値電圧 V_{th} のバラツキ (V_{th} バラツキ) との関係を示す。

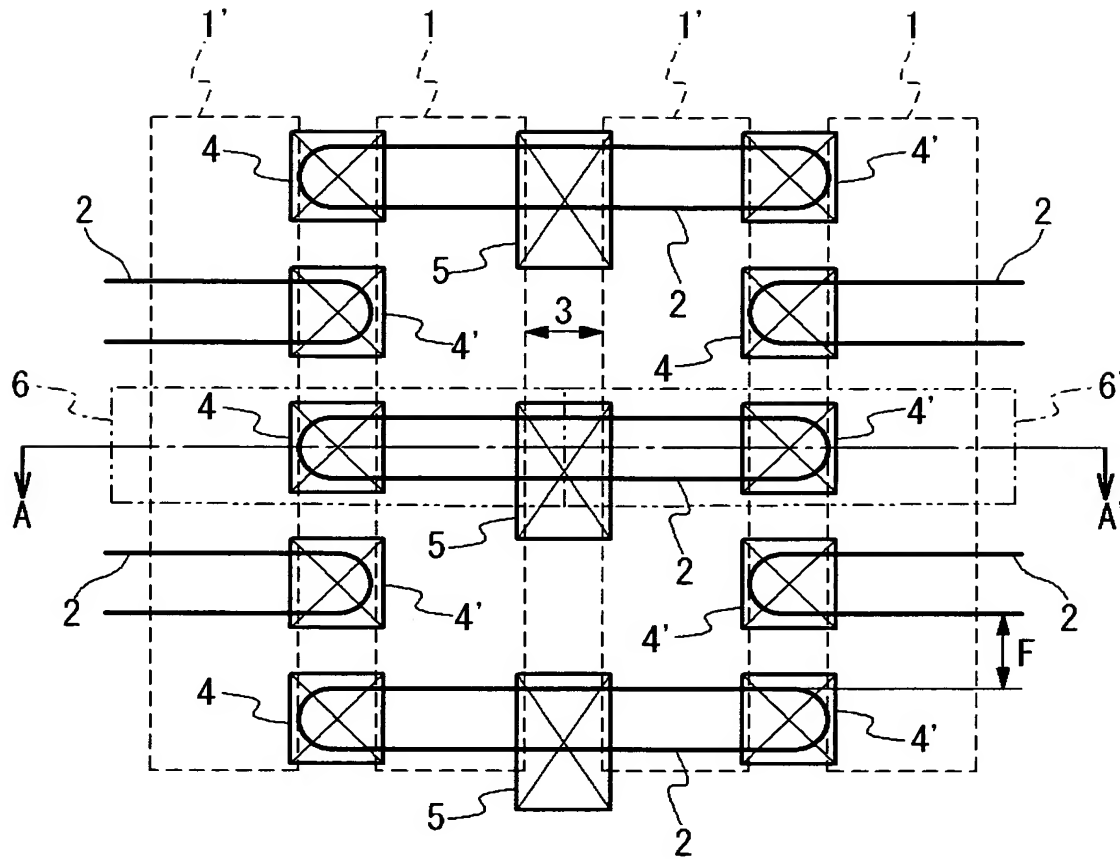
【符号の説明】

- 1、1'、101、101' ワード線、ゲート電極
- 2 活性領域
- 3、103 ゲート間隔
- 4、4'、104、104' 容量コンタクト部
- 5、105 ビット線コンタクト部

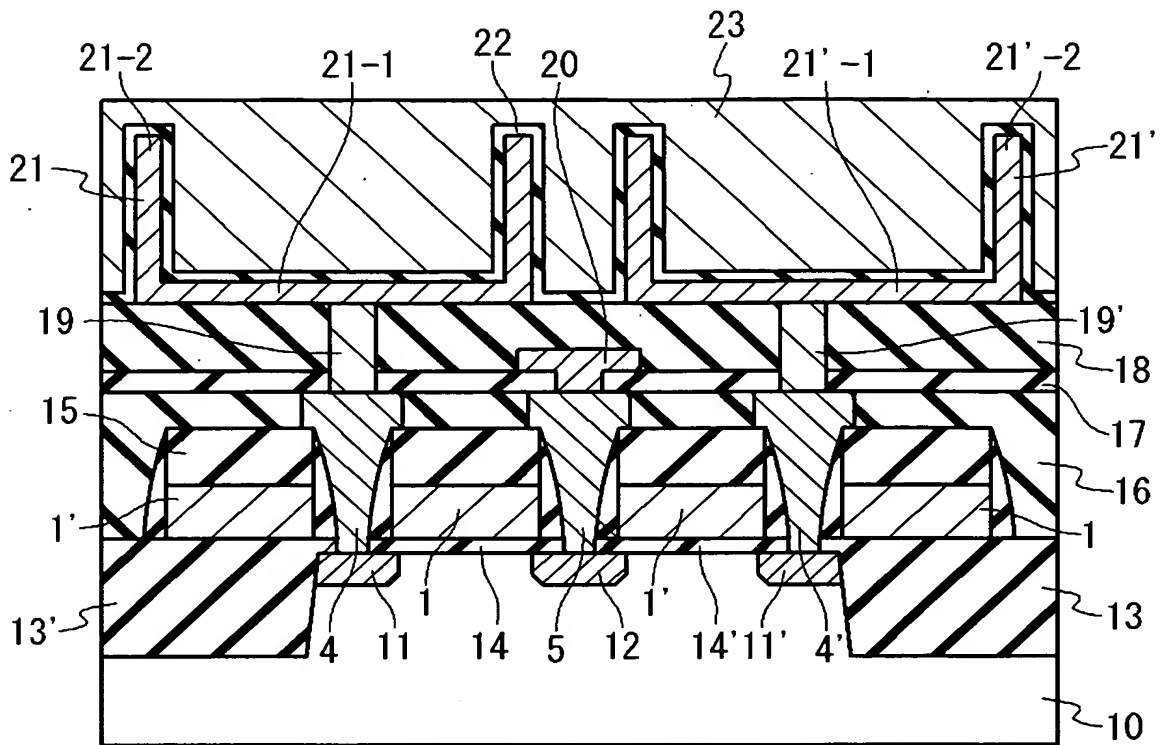
6、6'、106、106'	セル容量部
10、110	半導体基板
11、11'、111、111'	拡散層
12、112	拡散層
13、13'、113、113'	浅溝素子分離用絶縁膜
14、14'、114、114'	ゲート酸化膜
15、115	窒化膜
16、116	層間絶縁膜
17、117	層間絶縁膜
18、118	層間絶縁膜
19、19'、119、119'	コンタクト部
20、120	ビット線
21、21'、121、121'	セル容量部下部電極
21-1、21'-1、121-1、121'-1	底面部
21-2、21'-2、121-2、121'-2	側壁部
22、122	容量絶縁膜
23、123	セル容量部上部電極

【書類名】 図面

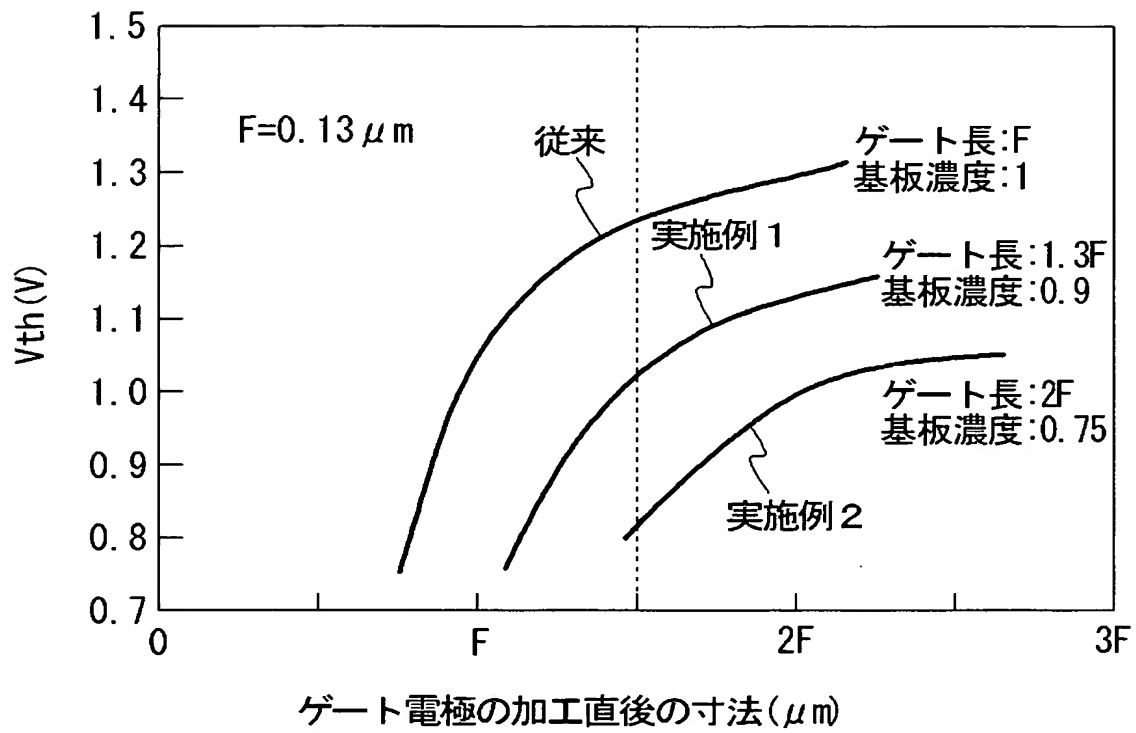
【図 1】



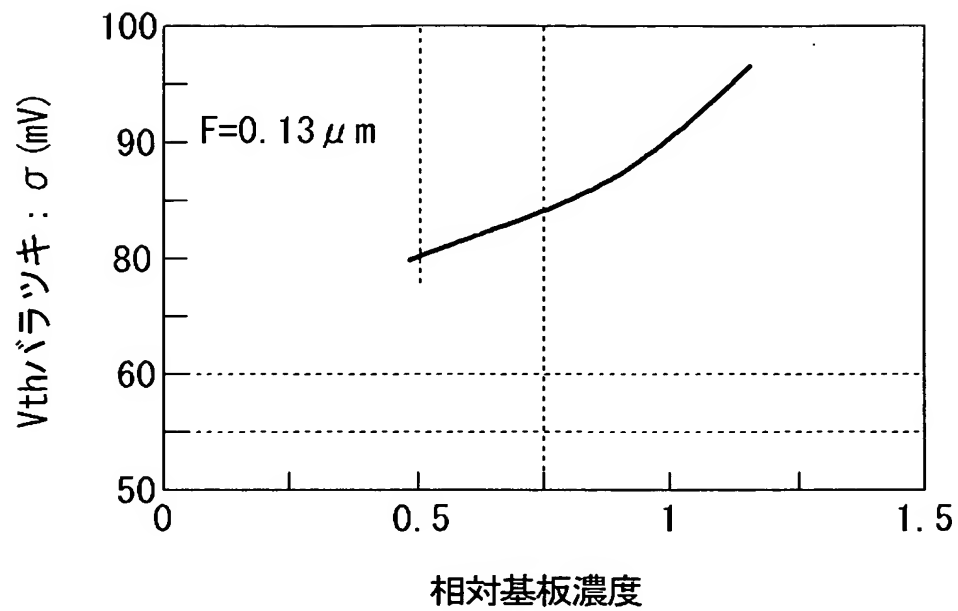
【図 2】



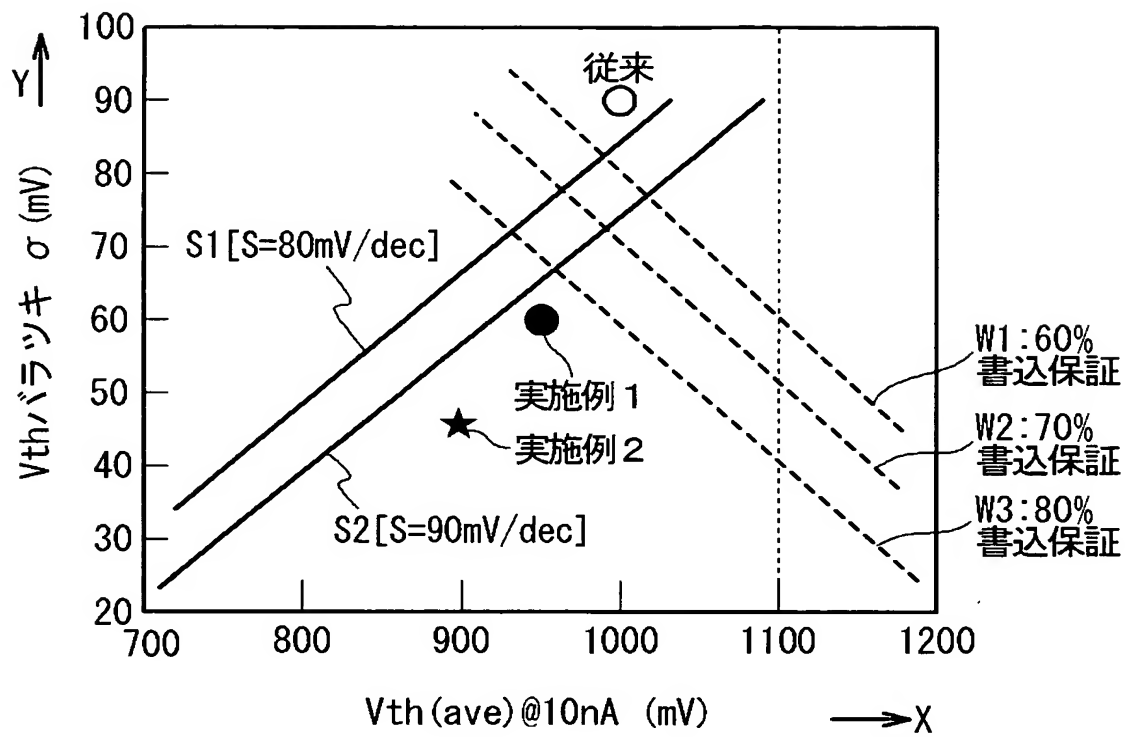
【図 3】



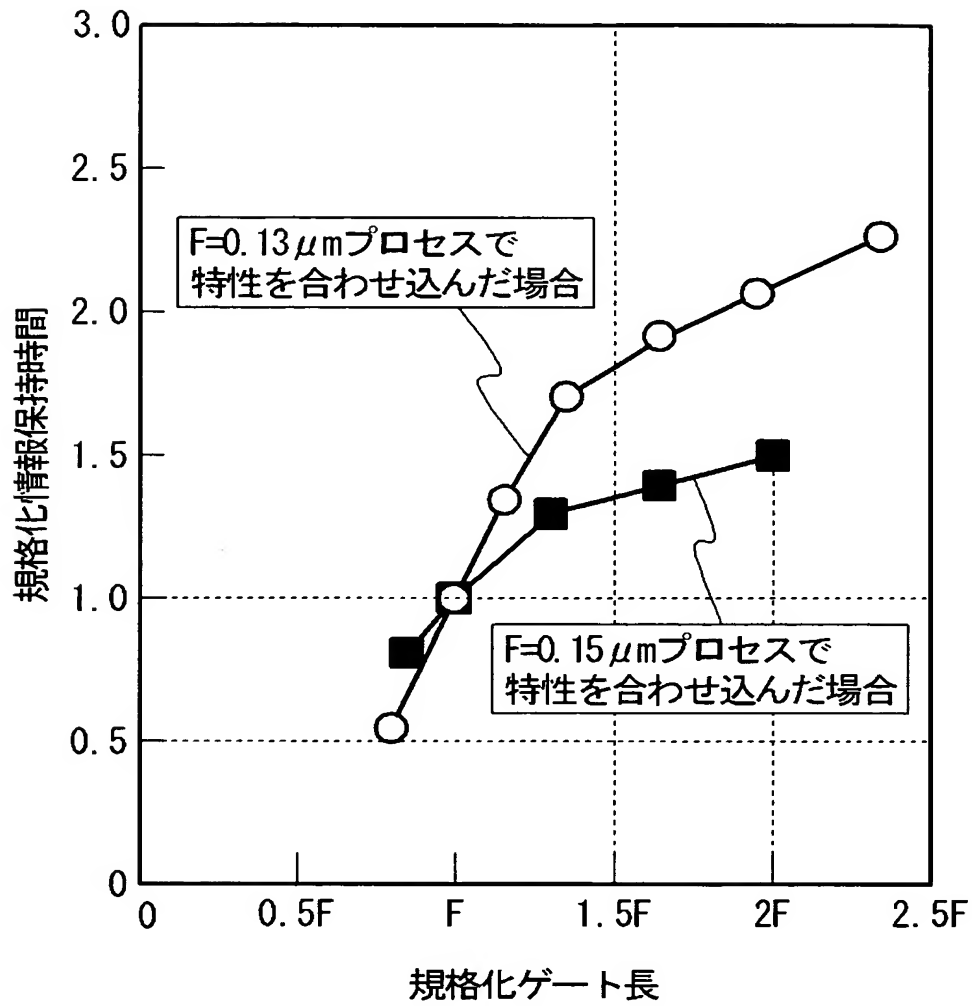
【図 4】



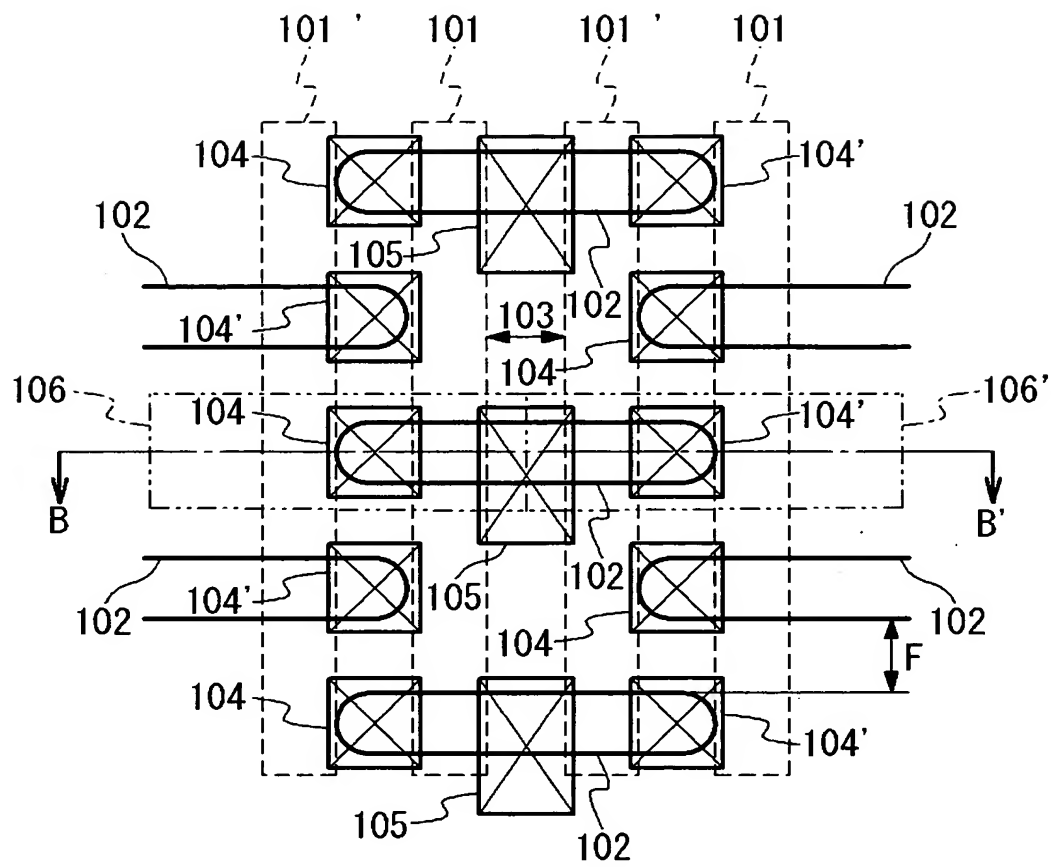
【図 5】



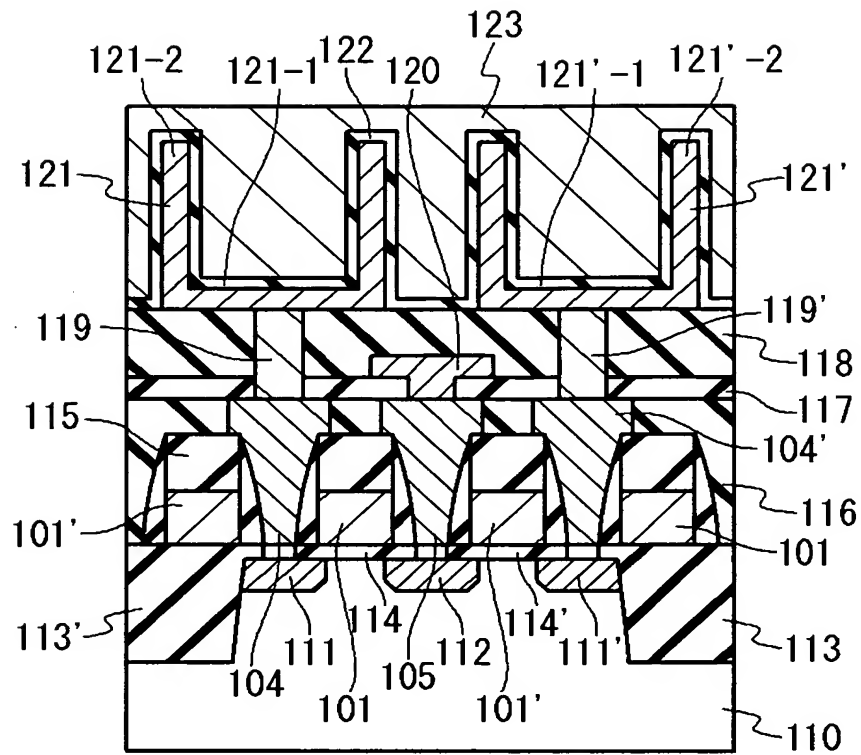
【図 6】



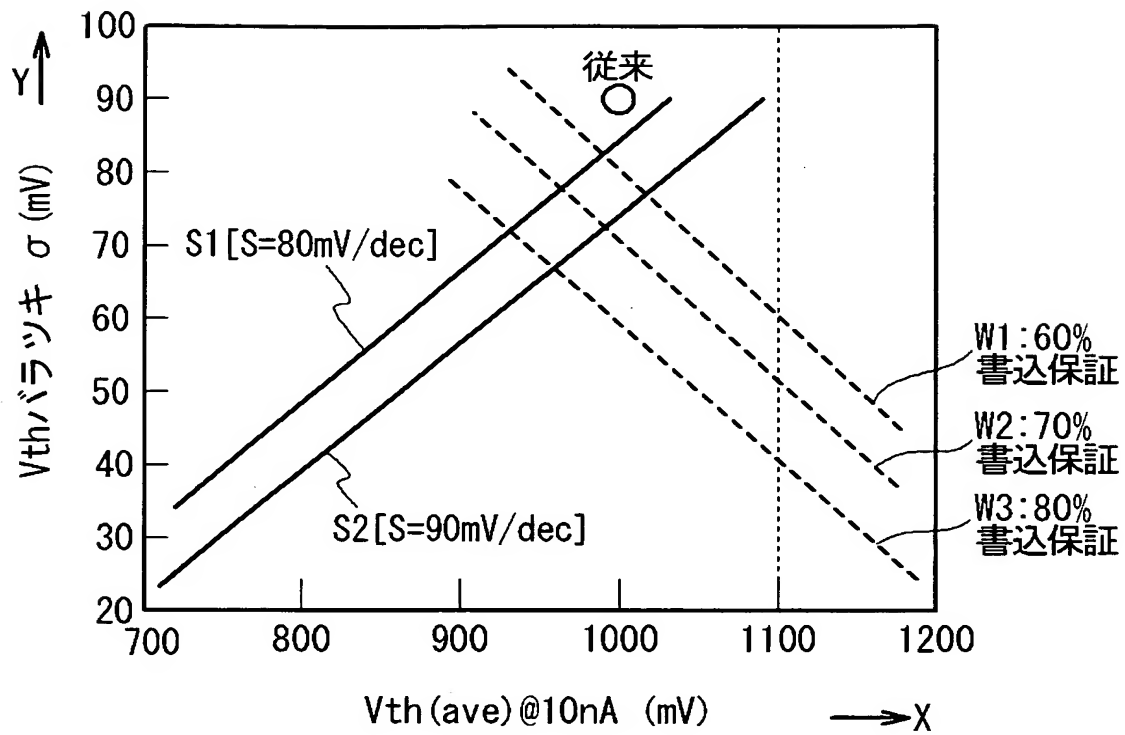
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 情報保持時間を長くすることにより、情報保持特性が向上する半導体記憶装置を提供する。

【解決手段】 本発明の半導体記憶装置は、半導体基板（10）と、半導体基板（10）上に形成されたゲート電極（1）とを具備する。ゲート電極（1）のゲート長は、最小加工寸法よりも長い。本発明では、ゲート電極（1）のゲート長を最小加工寸法よりも長くしたことにより、閾値電圧 V_{th} 調整用の半導体基板（10）の濃度を従来のそれよりも低減することができ、半導体基板（10）と拡散層（11、11'、12）との境界面の接合電界を従来のそれよりも低減することができる。したがって、本発明では、半導体基板（10）と拡散層（11、11'、12）との境界面に流れる接合リーク電流を従来のそれよりも小さくすることができ、容量部（6）に情報を書き込んでから、その情報が破壊されるまでの時間、すなわち、その容量部（6）が情報を保持する時間である情報保持時間を、従来のそれよりも長くすることができ、情報保持特性が向上する。

【選択図】 図2

特願 2 0 0 2 - 3 5 7 7 8 9

出 願 人 履 歴 情 報

識別番号

[5 0 0 1 7 4 2 4 7]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社